



Kierunek Elektronika i Telekomunikacja, zaoczne, IV rok
**Projektowanie Systemów Cyfrowych
w Językach Opisu Sprzętu**

Platforma sprzętowa

- **Architektura układów FPGA**

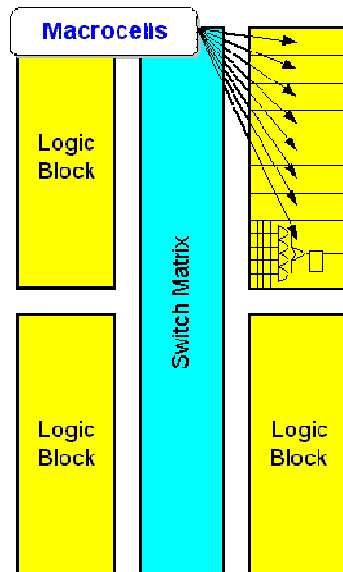
- **Rodzina Xilinx Spartan-6**



- **Platforma Digilent Nexys**



Architektura układów FPGA CPLD kontra FPGA



typu PAL
więcej logiki kombinacyjnej

mała / średnia
wielokrotna struktura 22V10

do ~300 MHz
przewidywalne opóźnienia

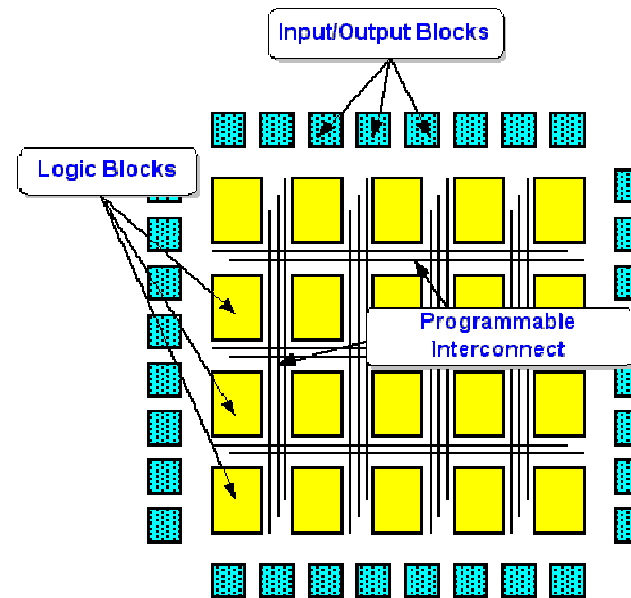
macierz łączeniowa

ARCHITEKTURA

GĘSTOŚĆ

SZYBKOŚĆ

POŁĄCZENIA

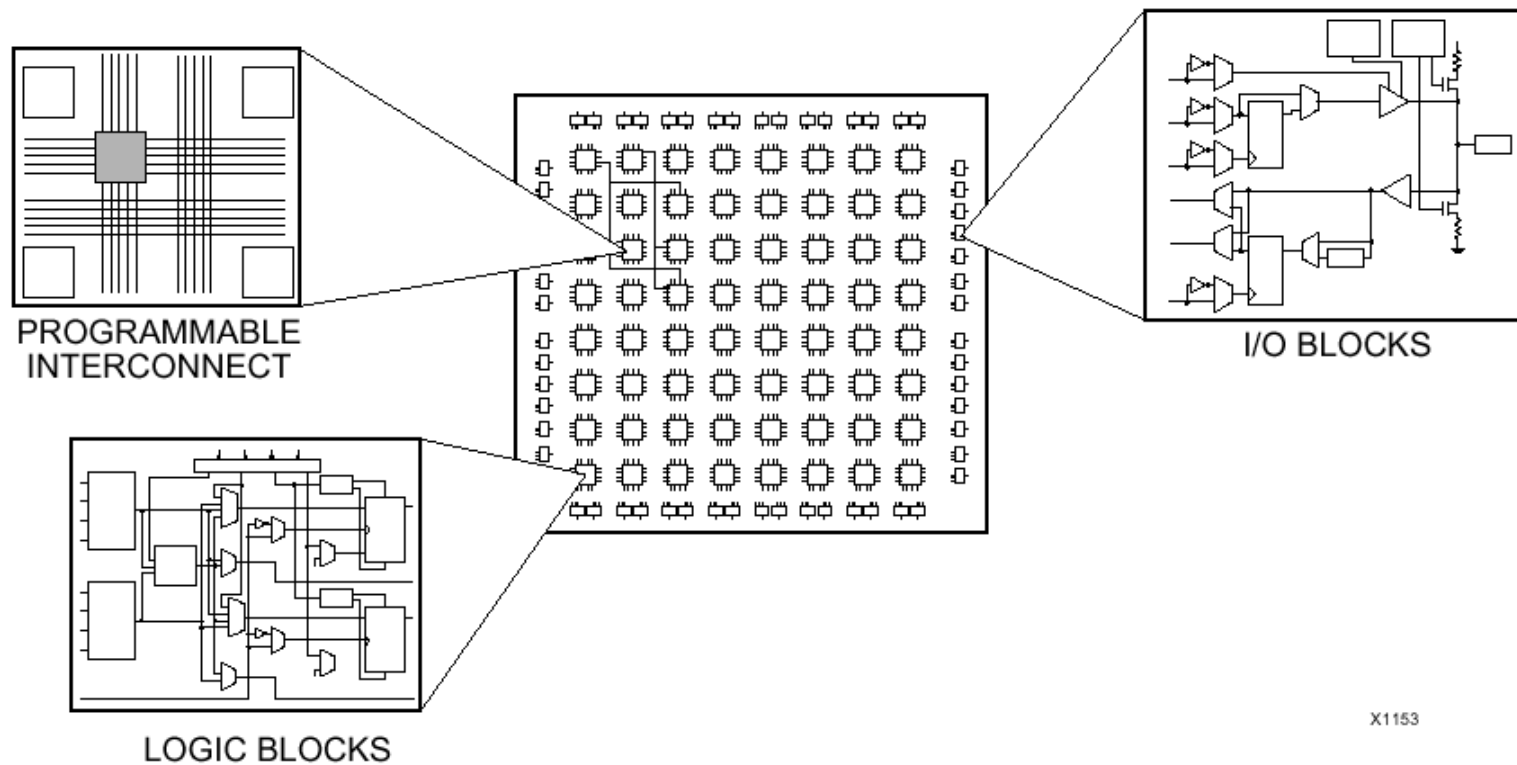


typu Gate Array
więcej przerzutników

średnia / duża / bardzo duża
do 10 milionów bramek

do ~1000 MHz
opóźnienia zależne

połączenia odcinkami

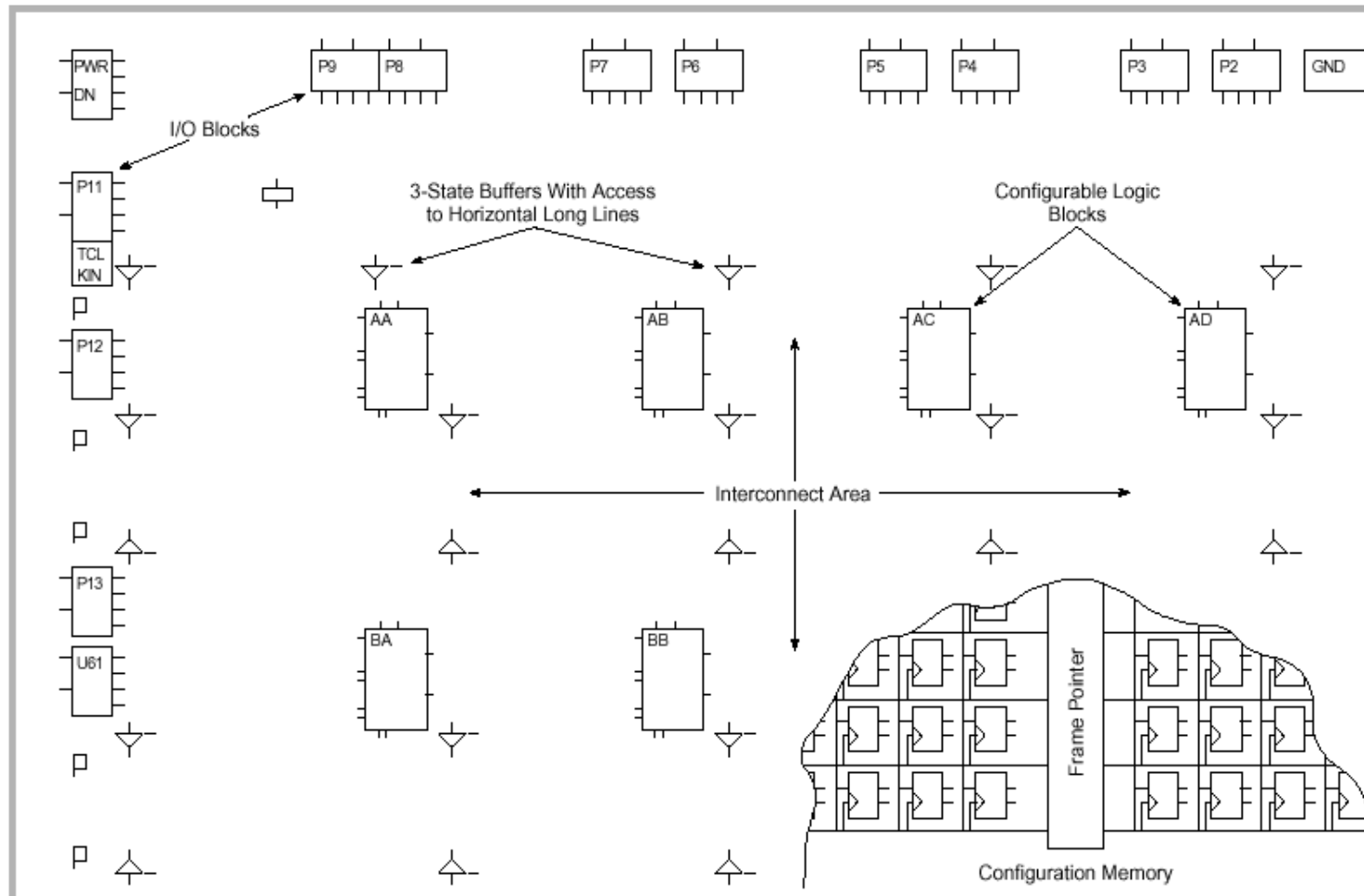


X1153

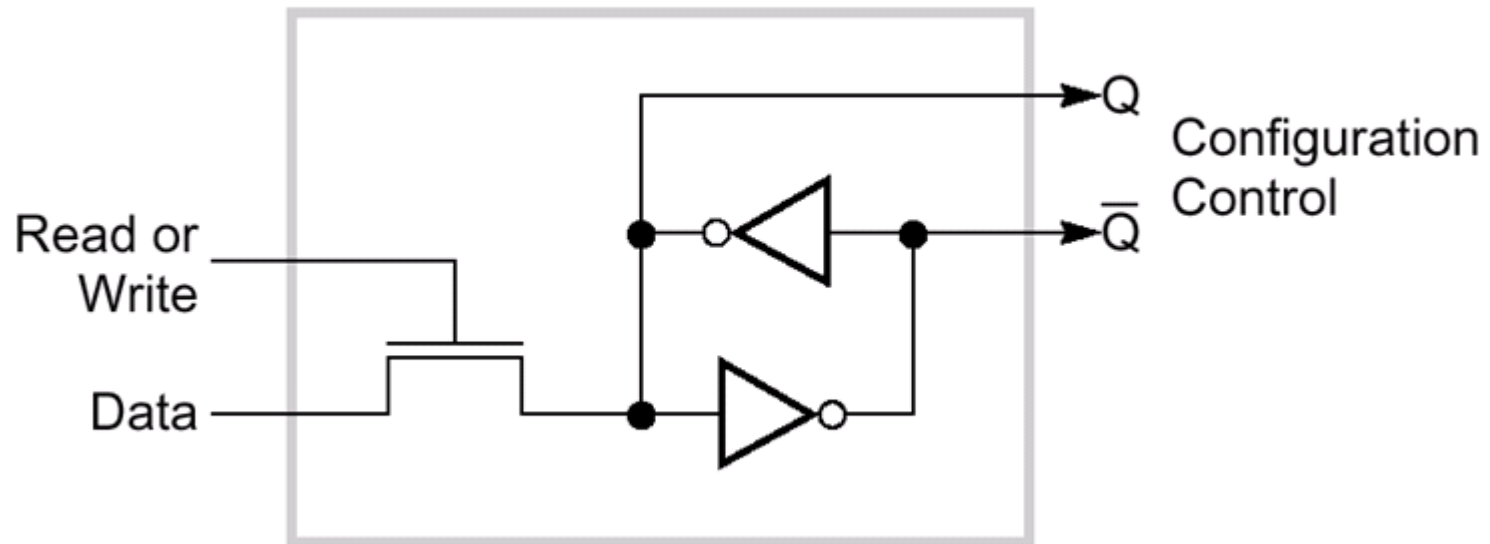
- **Bloki we/wy** (*Input Output Block*)
- **Bloki logiki** (*Configurable Logic Block* i inne specjalizowane)
- **Zasoby połączeniowe** (*Logic Interconnect*)

Architektura układów FPGA

Zasoby użytkowe a pamięć konfiguracji

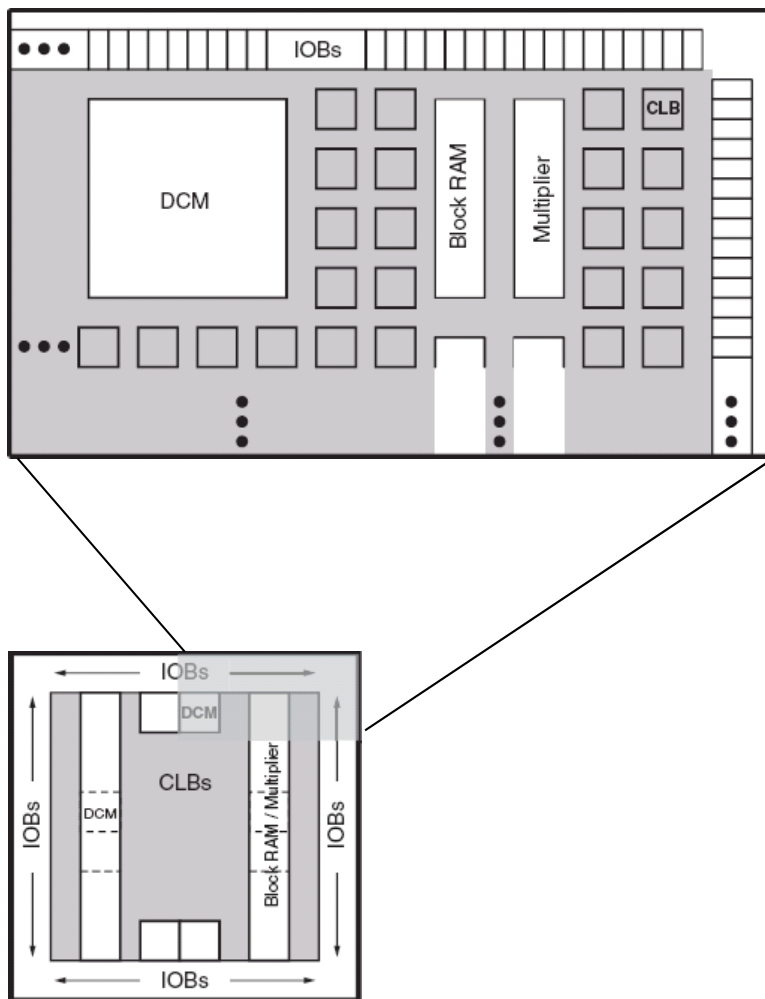


X3241

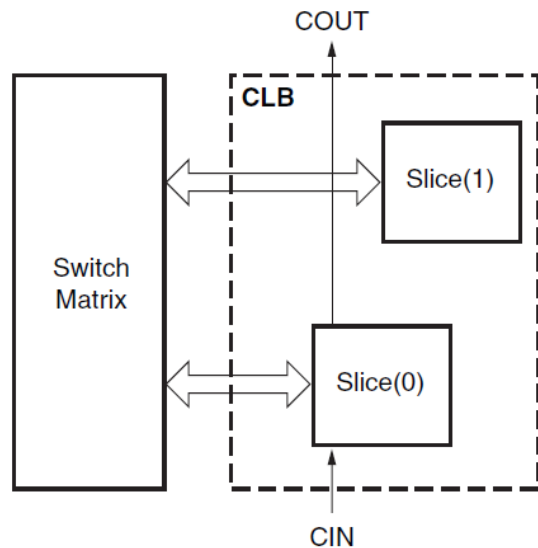


- zapis podczas konfiguracji i odczyt podczas weryfikacji
- podczas normalnej pracy tranzystor wyłączony
- jeden bit danych - steruje jednym punktem konfiguracji
- niewrażliwa na duże dawki promieniowania alfa

Xilinx Spartan-6 Parametry podstawowe




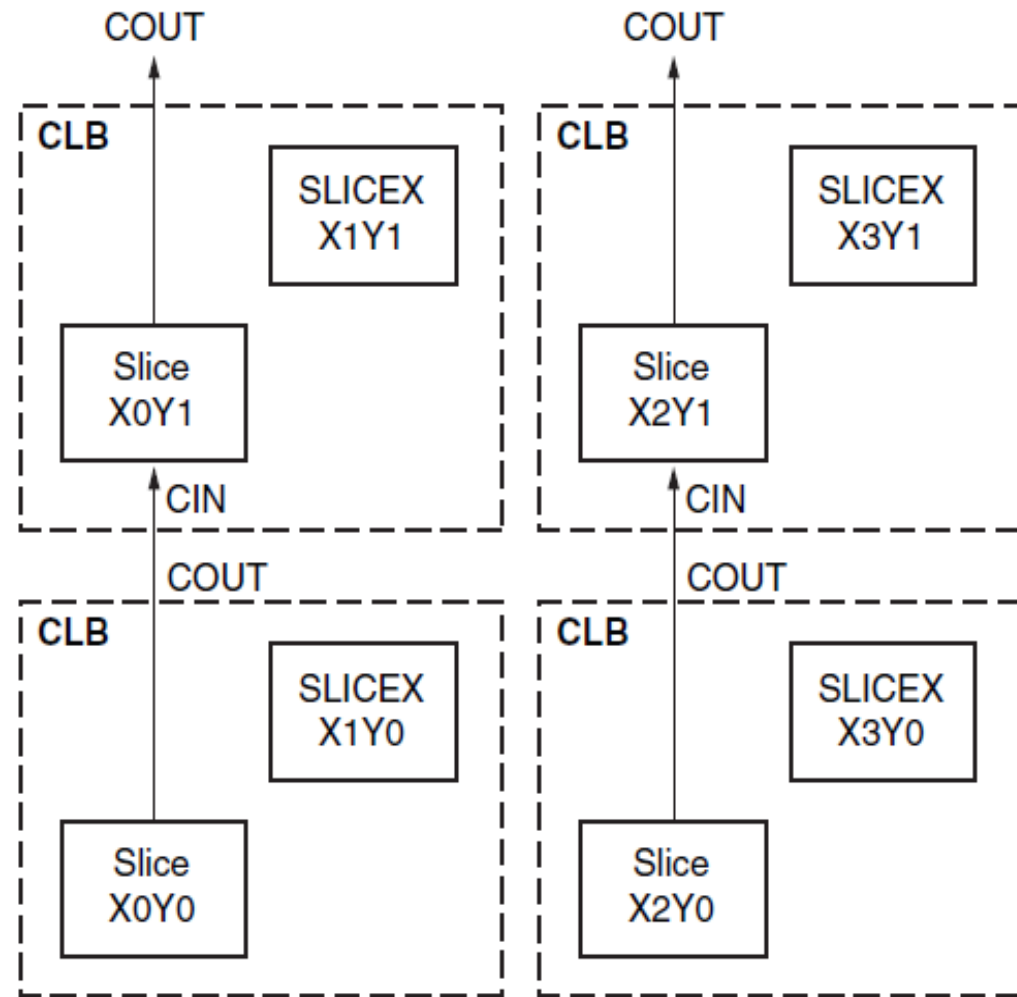
- technologia 45nm
- struktura gruboziarnista
- 4k – 150k komórek logicznych
- 5k – 185k przerzutników
- 862 MHz *max toggle frequency*
- *clock* – CMTs: 2...6
- pamięć użytkowa Select RAM+
 - rozproszona: do 1355 Kb
 - blokowa (18Kb): do 4824 Kb
 - zewnętrzna – MCB
- 18-bitowe DSP MAC: 8...180
- PCIe 0...1, GTP 0...8, MCB 0...4
- User I/Os: 102...576
- pamięć konfiguracji SRAM
- port JTAG (test + konfiguracja)
- zasilanie:
 - V_{CCINT} : 1,2V
 - V_{CCAUX} : 2,5V
 - V_{CCO} : 1,2...3,3V



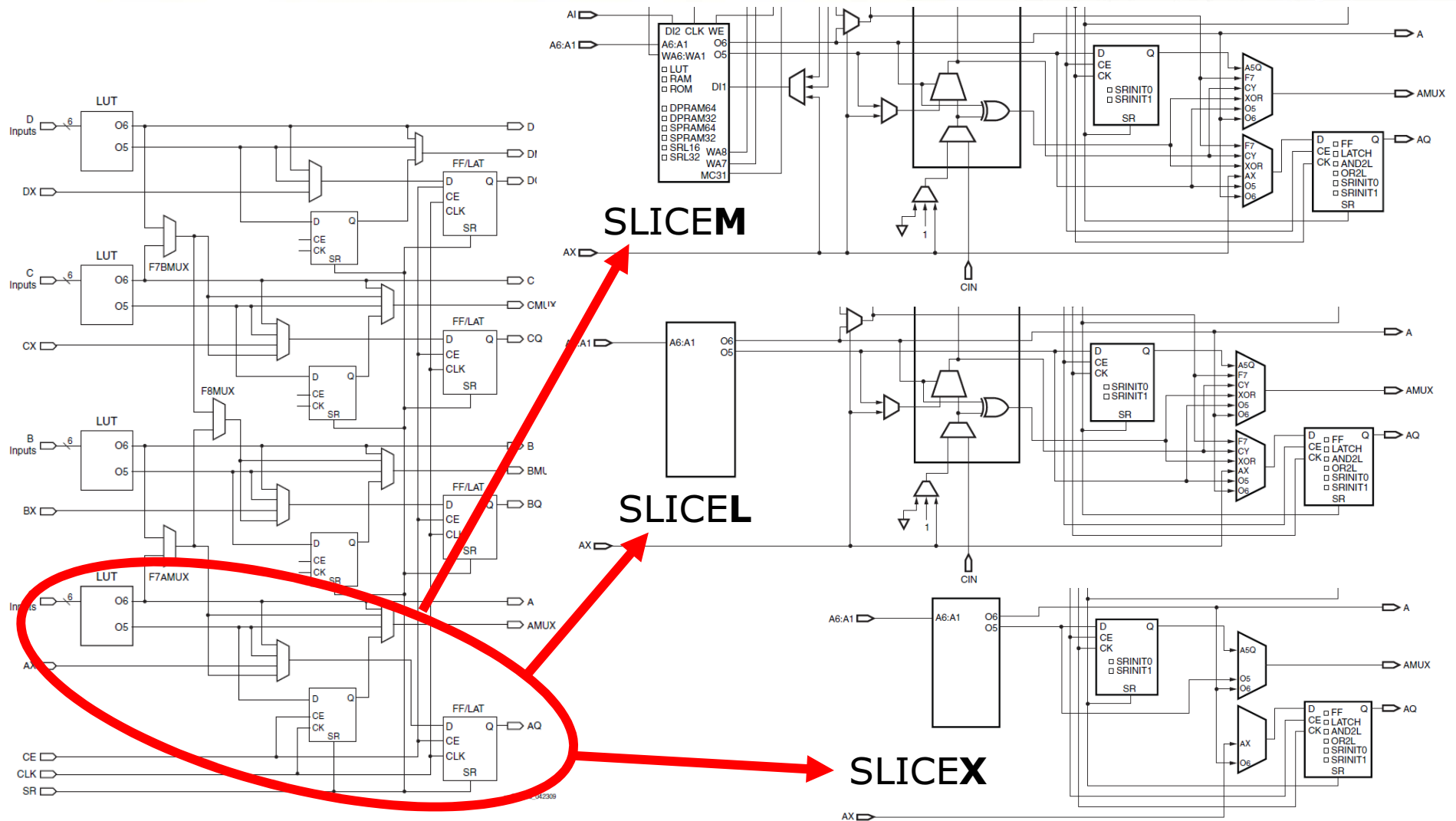
$$\text{CLB} = 2 \times \text{LS} = 8 \times \text{LC}$$

Logic Cell:

- 2 przerzutniki / 1 zatrask
- *Clock Enable* 
- AP / AC / SS / SR
- 6-we LUT (*Look-Up-Table*)
- *carry logic*

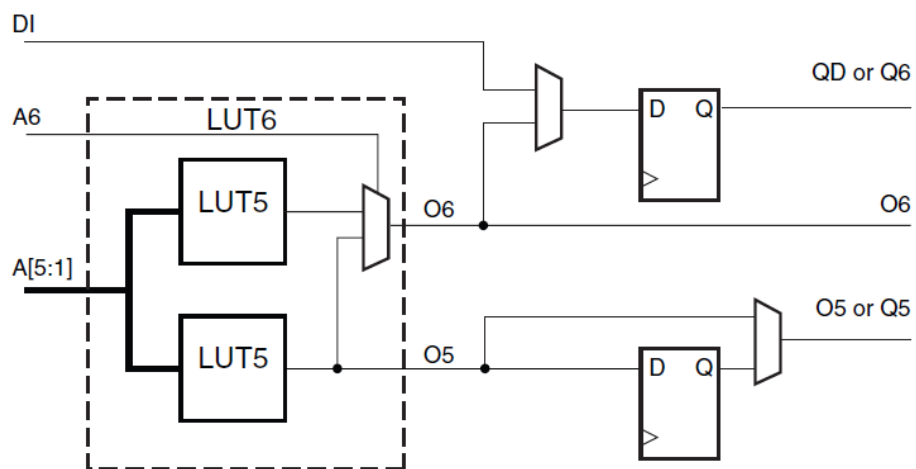


Xilinx Spartan-6 Configurable Logic Block



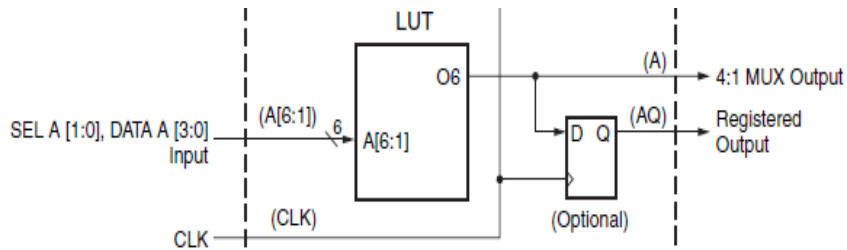
Xilinx Spartan-6 Configurable Logic Block / Look-Up-Table

Feature	SLICEX	SLICEL	SLICEM
6-Input LUTs	√	√	√
8 Flip-flops	√	√	√
Wide Multiplexers		√	√
Carry Logic		√	√
Distributed RAM			√
Shift Registers			√

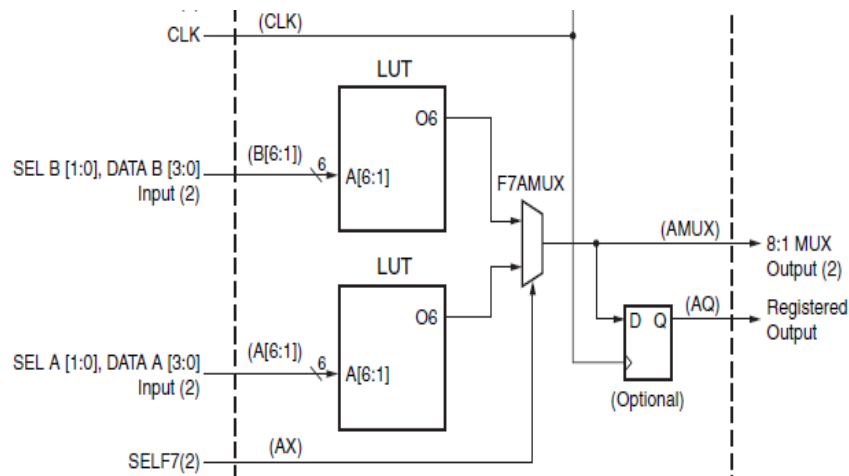


- **6-wejściowy generator funkcji**
- **SinglePort / DualPort RAM**
- **32-stopniowy rejestr przesuwany**

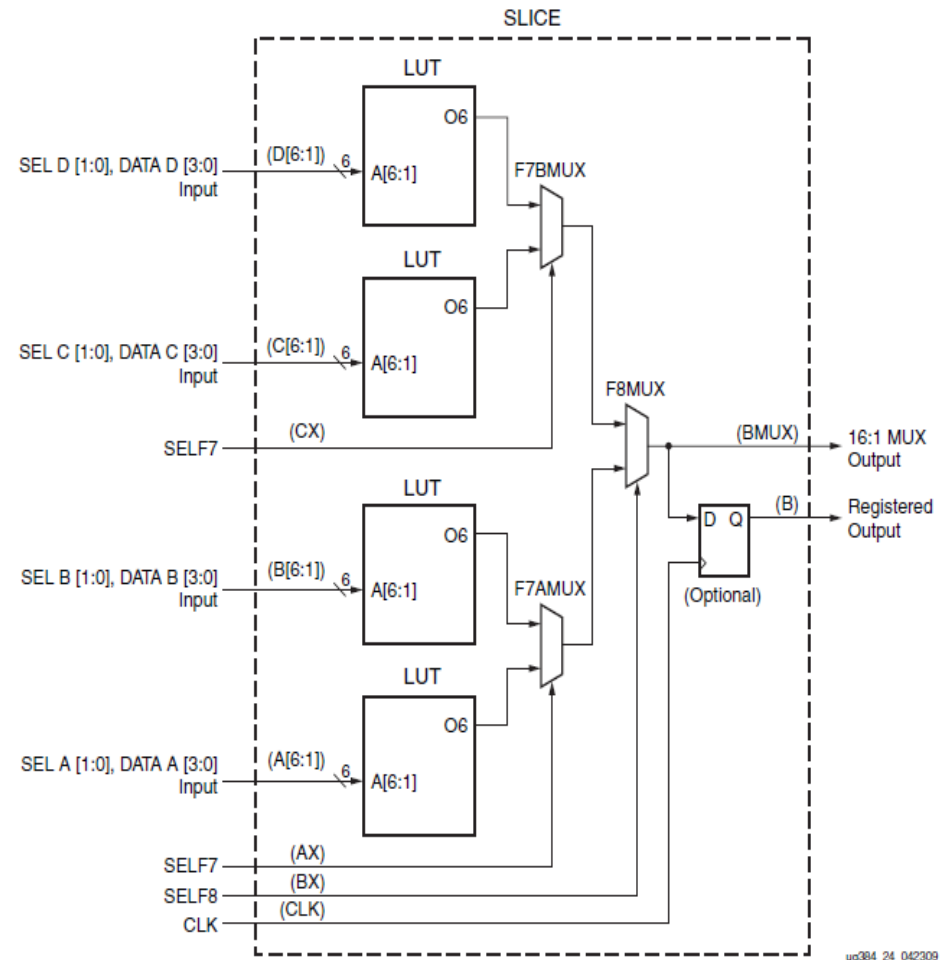
Xilinx Spartan-6 Configurable Logic Block: LUT i multipleksery



Mux 2:1 / Fun 6-we

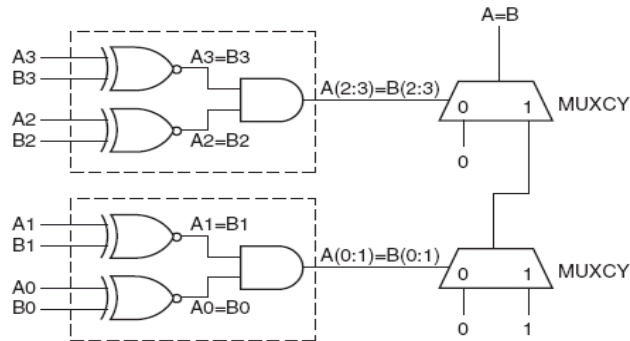


Mux 4:1 / Fun 7-we (do 13-we)

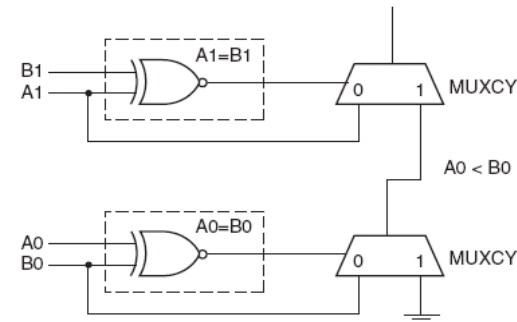


Mux 8:1 / Fun 8-we (do 27-we)

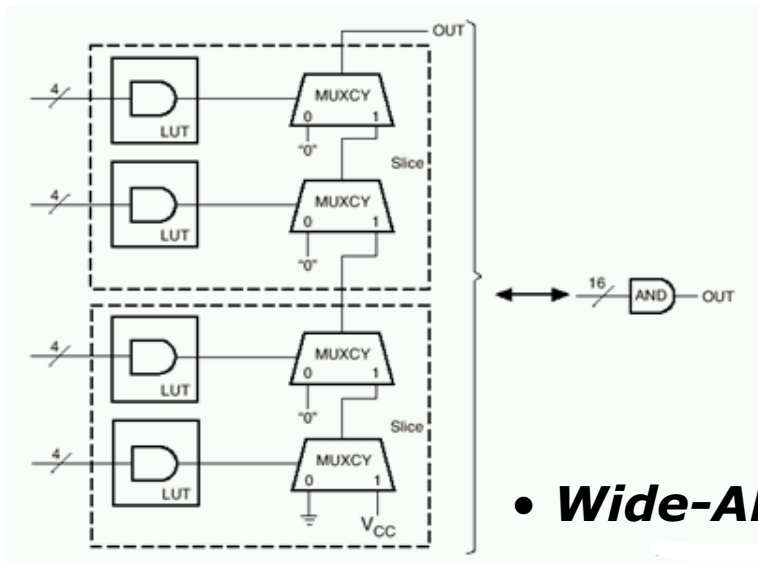
Xilinx Spartan-3 Configurable Logic Block: Carry & Arithmetic



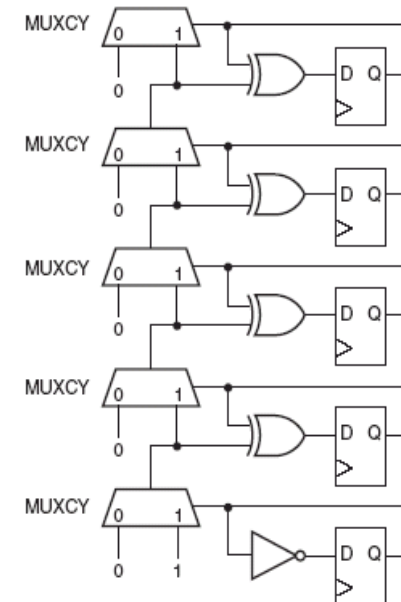
• **Equality Comparator**



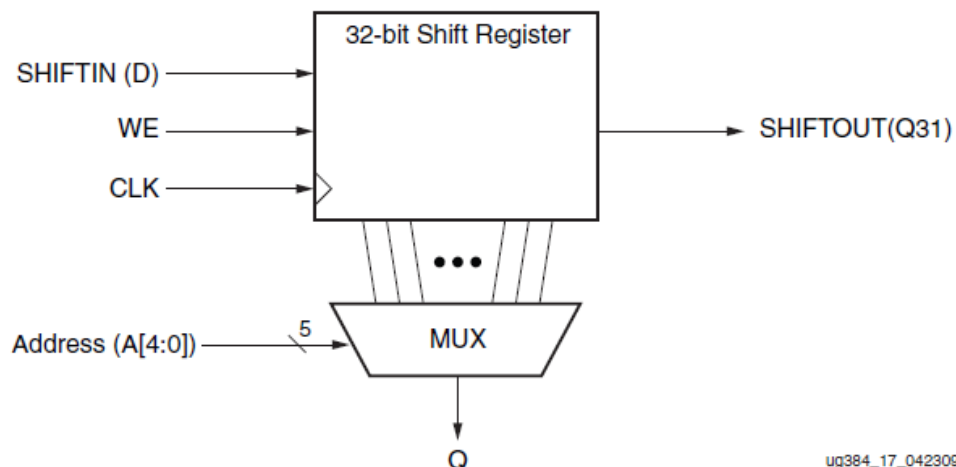
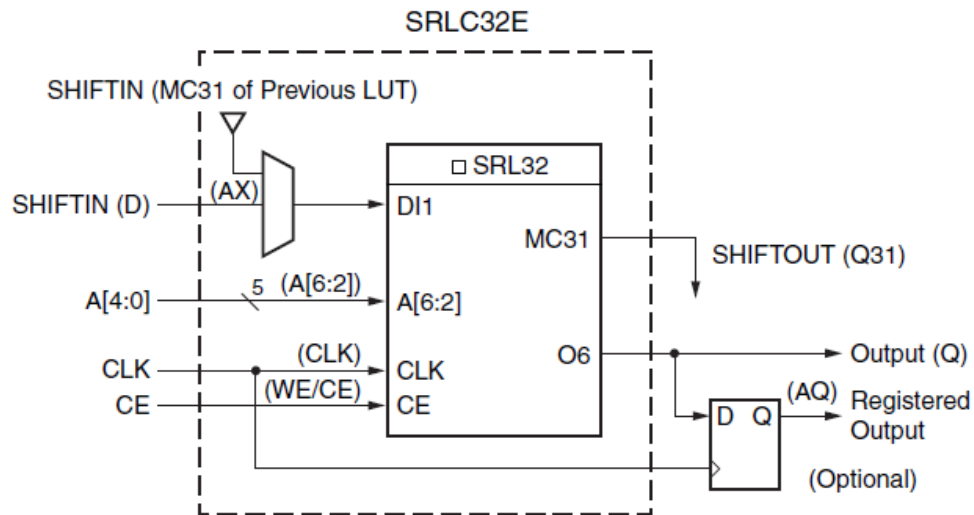
• **Magnitude Comparator**



• **Wide-AND**



• **Licznik**



ug384_17_042309

Zastosowania:

- długie linie opóźniające
- długie liczniki (także LFSR)
- synchroniczne FIFO
- generatory pseudolosowe

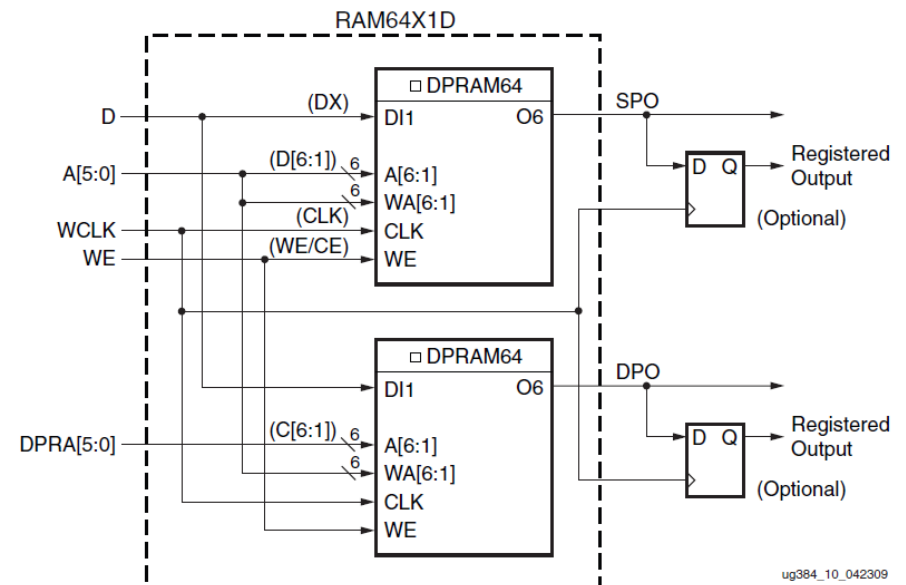
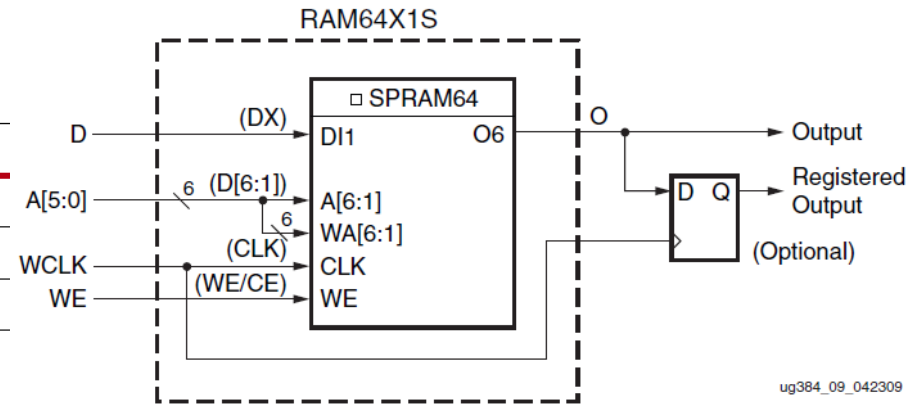
Mutacje:

- podwójny 16-bitowy
- kaskada: 64, 96, 128-bit
- dłuższe – połączenia ogólne

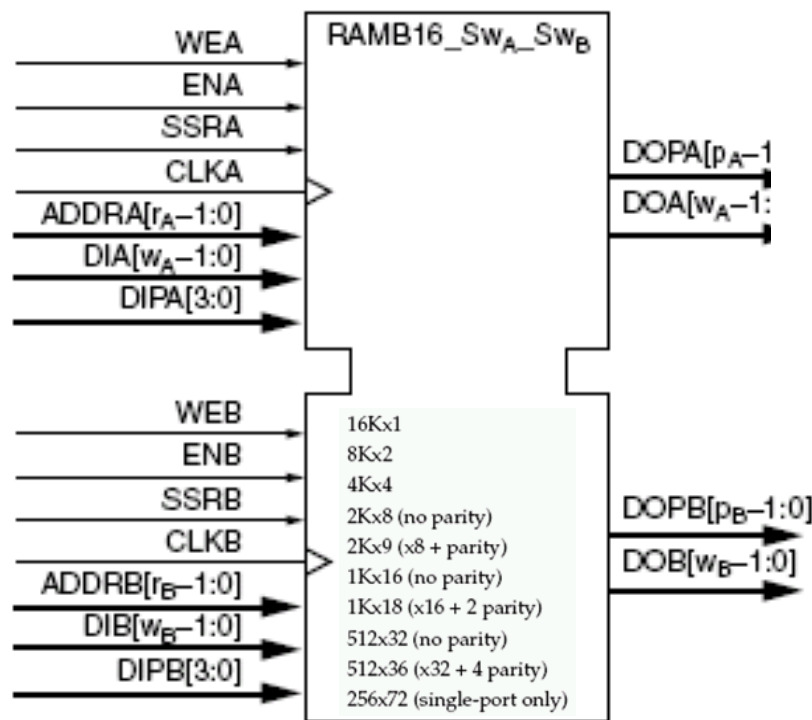
Xilinx Spartan-3 LUT: Distributed RAM

ROM	Number of LUTs
64 x 1	1
128 x 1	2
256 x 1	4

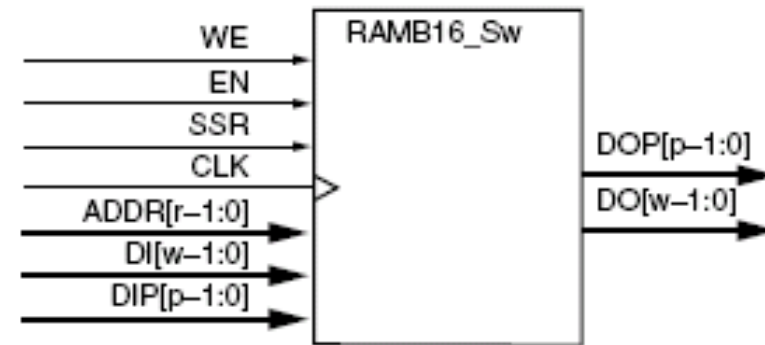
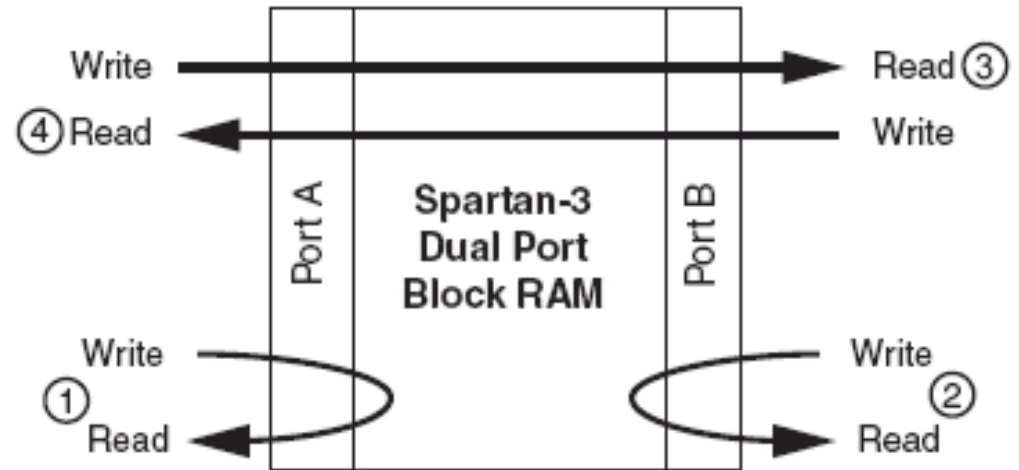
RAM	Number of LUTs	Description
32 x 2Q ⁽²⁾	4	Quad-Port 32 x 2-bit RAM
32 x 6SDP ⁽²⁾	4	Simple Dual-Port 32 x 6-bit RAM
64 x 1S	1	Single-Port 64 x 1-bit RAM
64 x 1D	2	Dual-Port 64 x 1-bit RAM
64 x 1Q ⁽³⁾	4	Quad-Port 64 x 1-bit RAM
64 x 3SDP ⁽³⁾	4	Simple Dual-Port 64 x 3-bit RAM
128 x 1S	2	Single-Port 128 x 1-bit RAM
128 x 1D	4	Dual-Port 128 x 1-bit RAM
256 x 1S	4	Single-Port 256 x 1-bit RAM



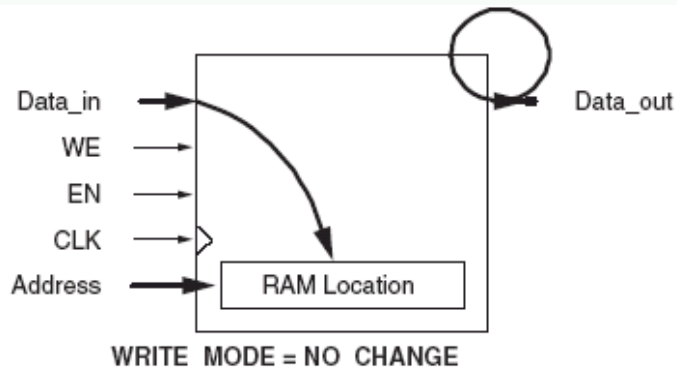
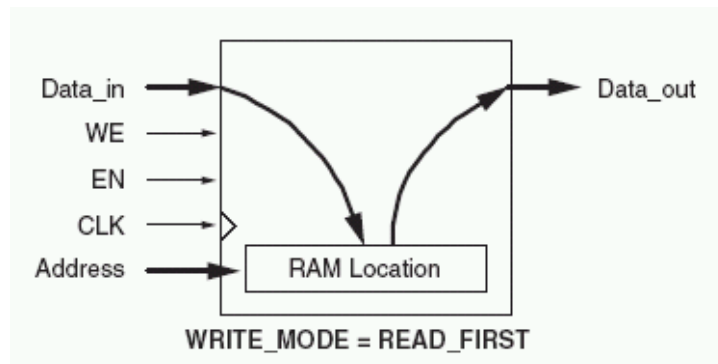
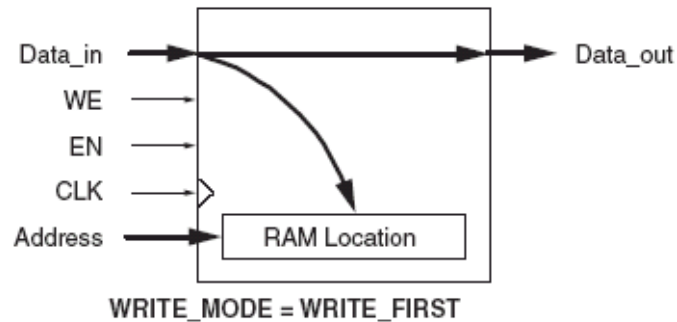
- blok 18Kb = 2 bloki 9Kb
- Single-Port, Dual-Port (Simple/True Mode)



(a) Dual-Port



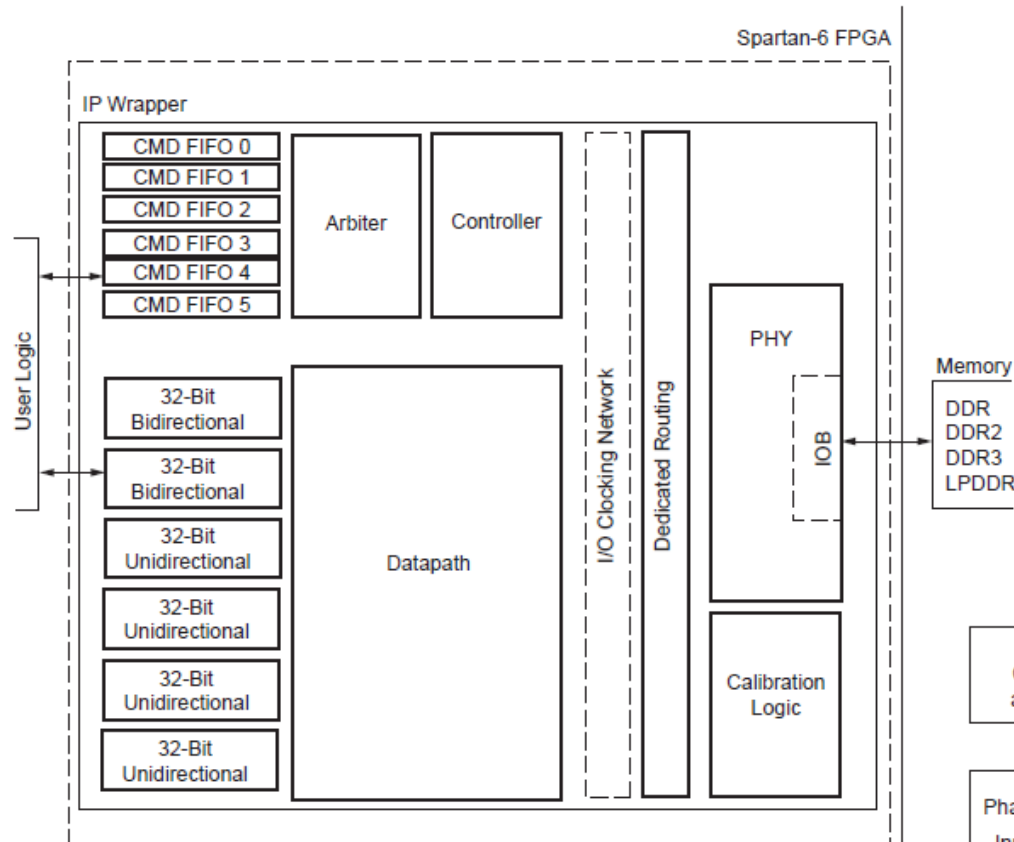
(b) Single-Port



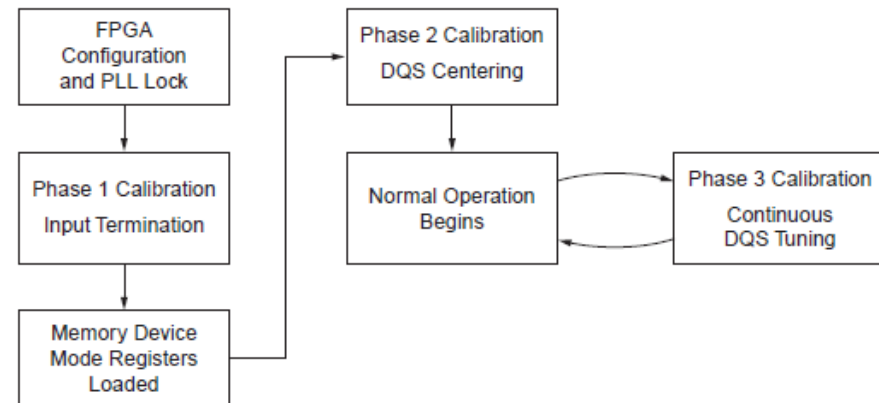
Zastosowania:

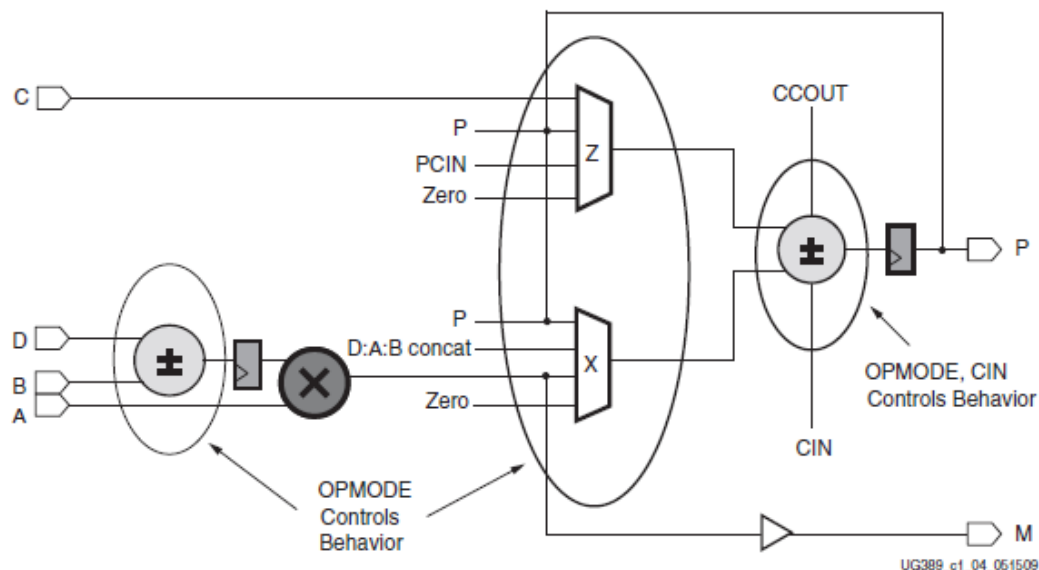
- duże pamięci (łączenie)
- pamięci ROM
- rejestry FIFO
- pamięć programu dla μP
- bufory kołowe
- linie opóźniające
- złożone automaty
- złożone funkcje logiczne
- szybkie, długie liczniki
- pamięci CAM
- pamięci 4-portowe
- tablice funkcji (DDS)

Xilinx Spartan-6 Memory Control Block (MCB)



- do 4 kontrolerów
- DDR, DDR2, DDR3, LPDDR
- do 4Gb pojemności
- do 800MT/s
- interfejs 4/8/16-bit
- 12,8Gb/s
- 1...6 portów wewnętrznych (2 x 2-kier., 4 x 1-kier.)
- porty 32/64/128-bit

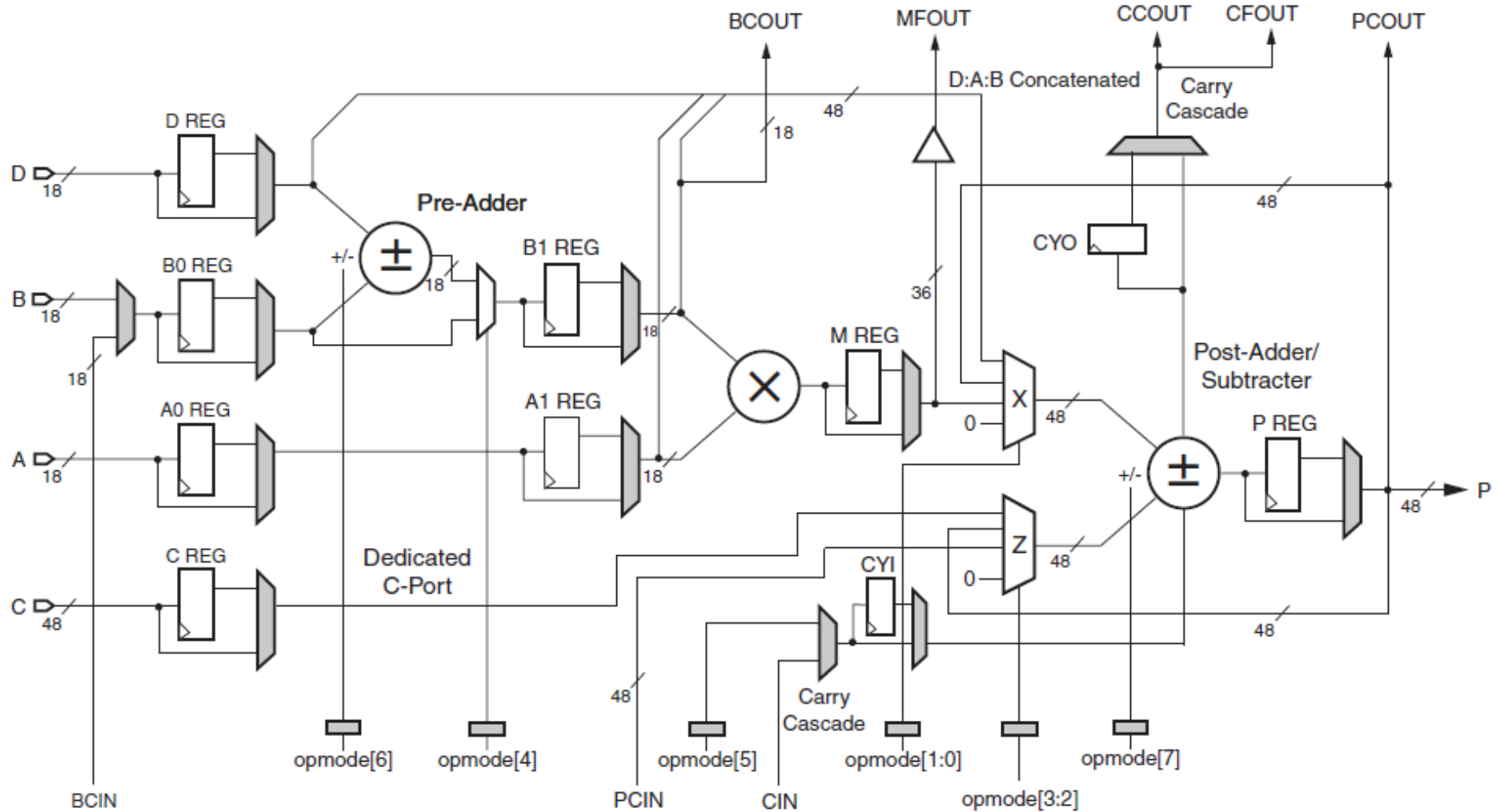




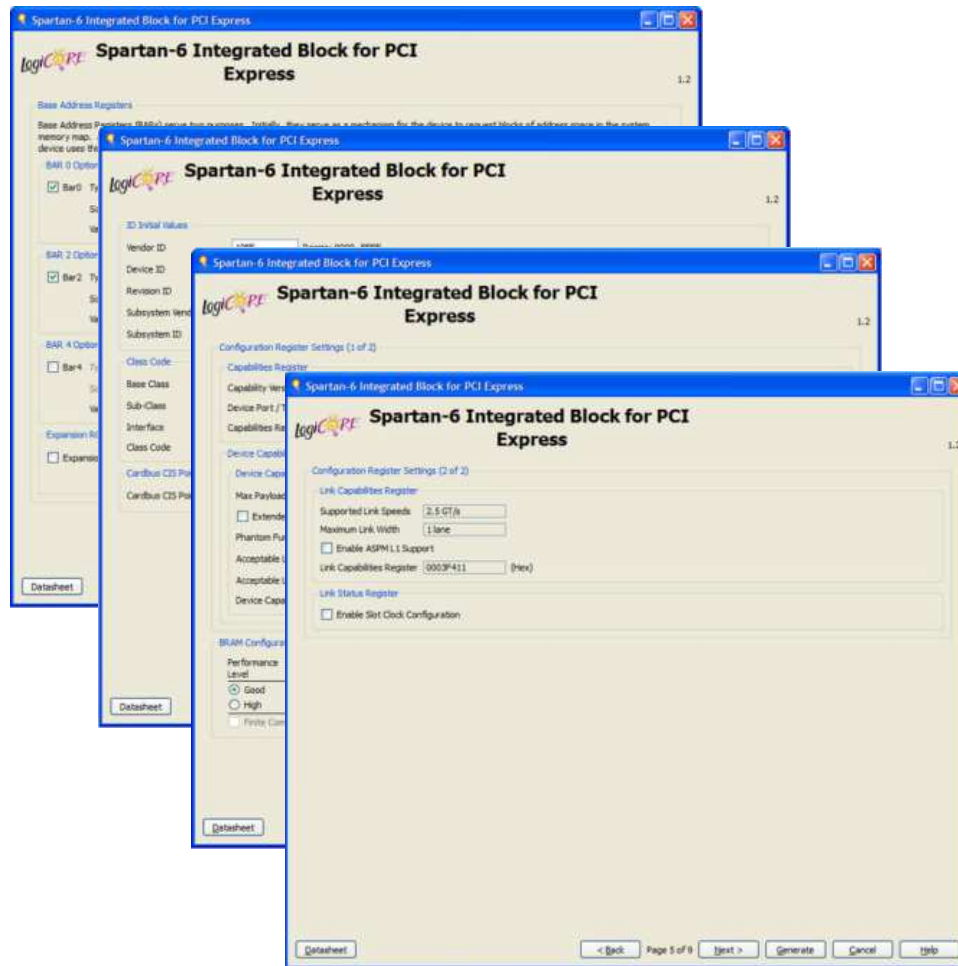
- **18-bitowe czynniki**
- **36-bitowy iloczyn**
- **mnożenie w kodzie U2**
- **opcjonalne rejestry**
- **łączenie w większe**
- **podział na mniejsze**

Zastosowania:

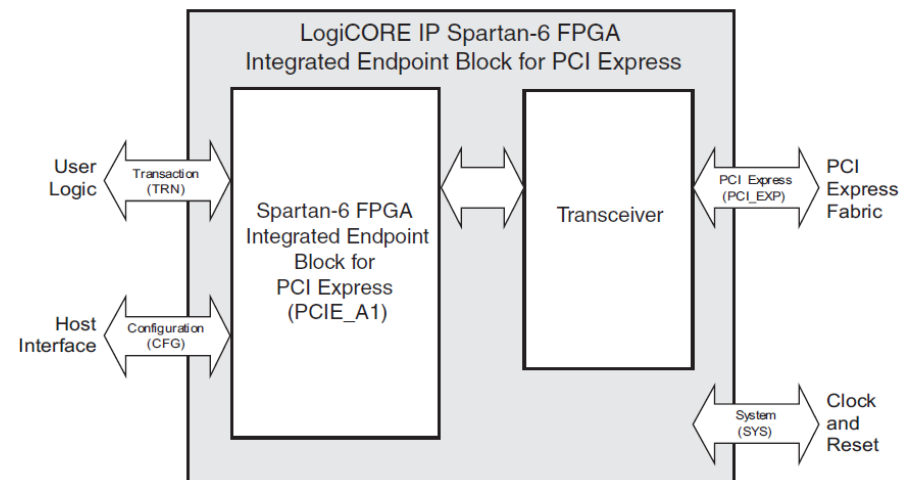
- **mnożenie**
- **przesuwanie**
- **obliczanie modułu**
- **generowanie wartości U2**
- **mnożenie zespolone**
- **mnożenie macierzy (z podziałem czasu)**
- **mnożenie zmiennoprzecinkowe**

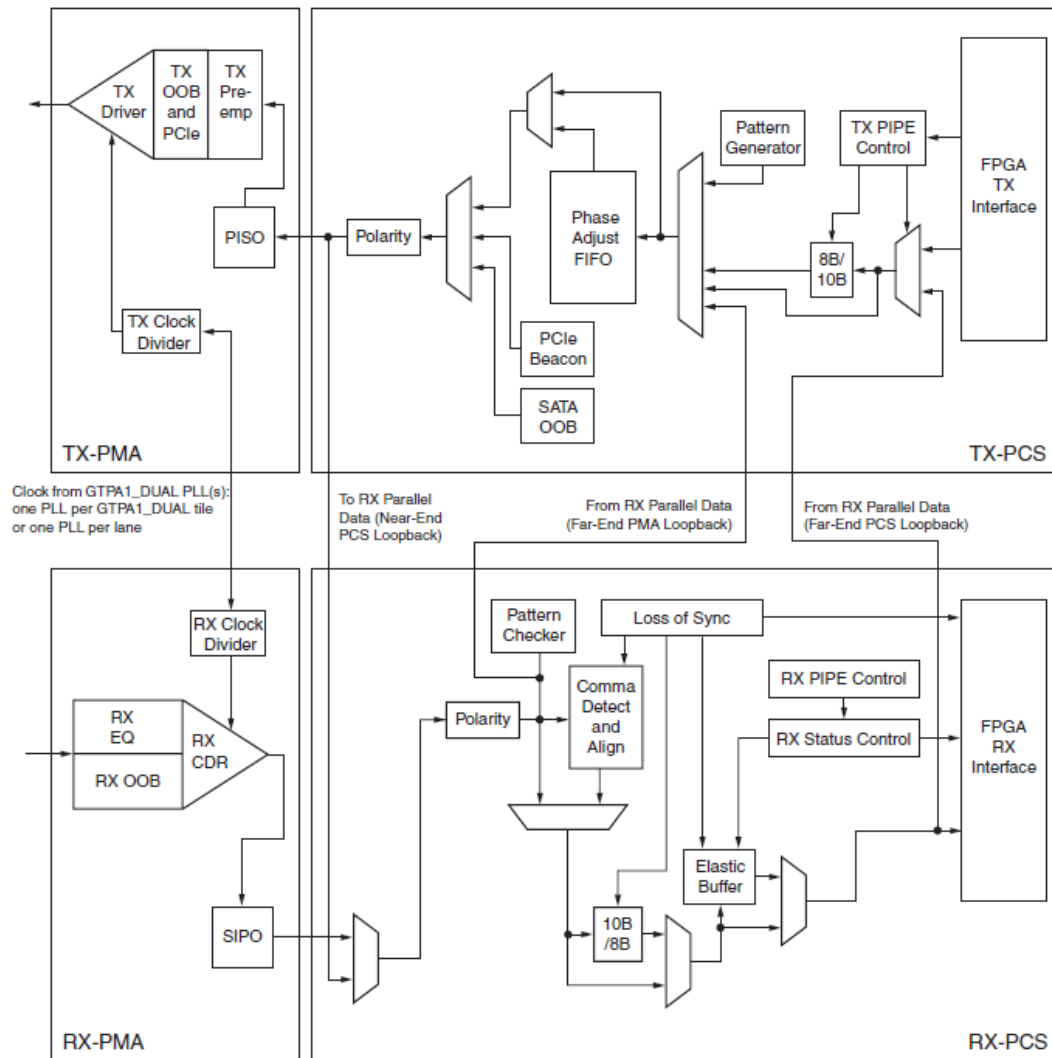


Xilinx Spartan-6 PCIe Integrated Endpoint Block

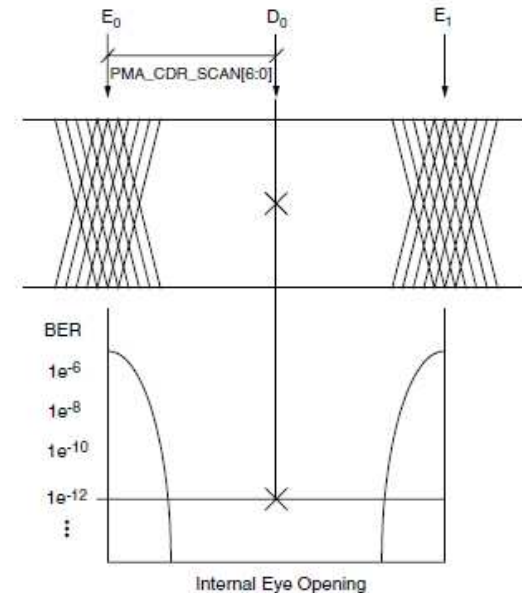


- 0...1 kontrolerów
- 32-bit user interface
- 1 lane
- 2.5 Gb/s

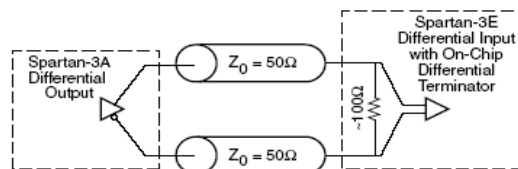
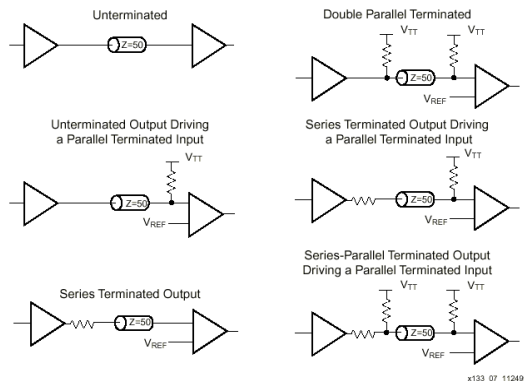
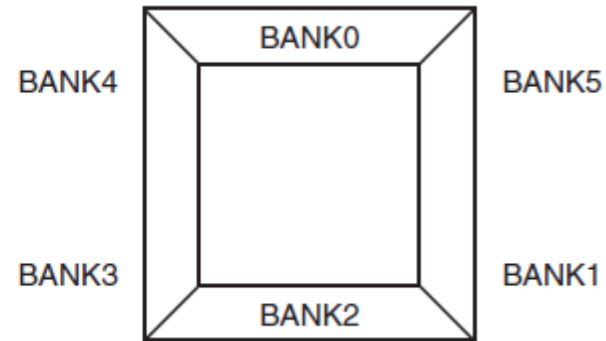
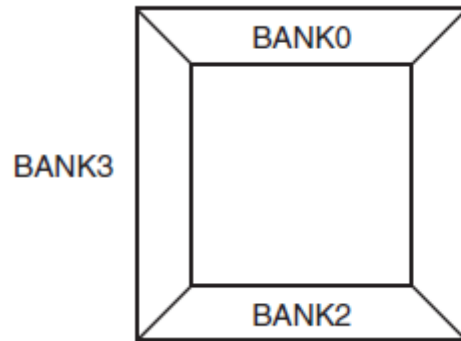




- do 8 transceiverów
- 614...810Mb/s
- 1.22...1.62 Gb/s
- 2.45...3.125 Gb/s
- 8b/10b coding
- PCIe/SATA support
- horizontal eye-scan



Xilinx Spartan-6 Input / Output Banks

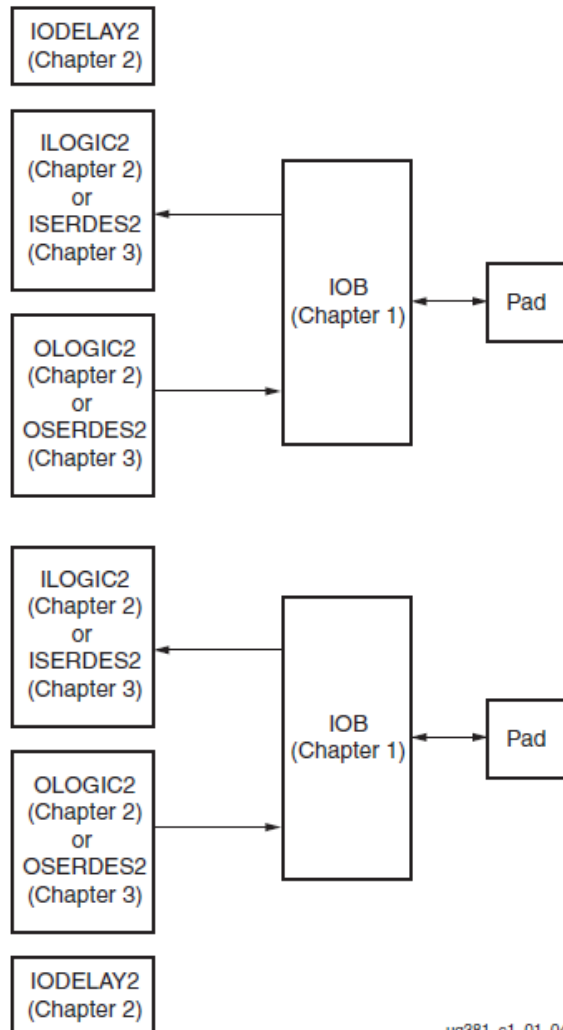


Unipolarne:

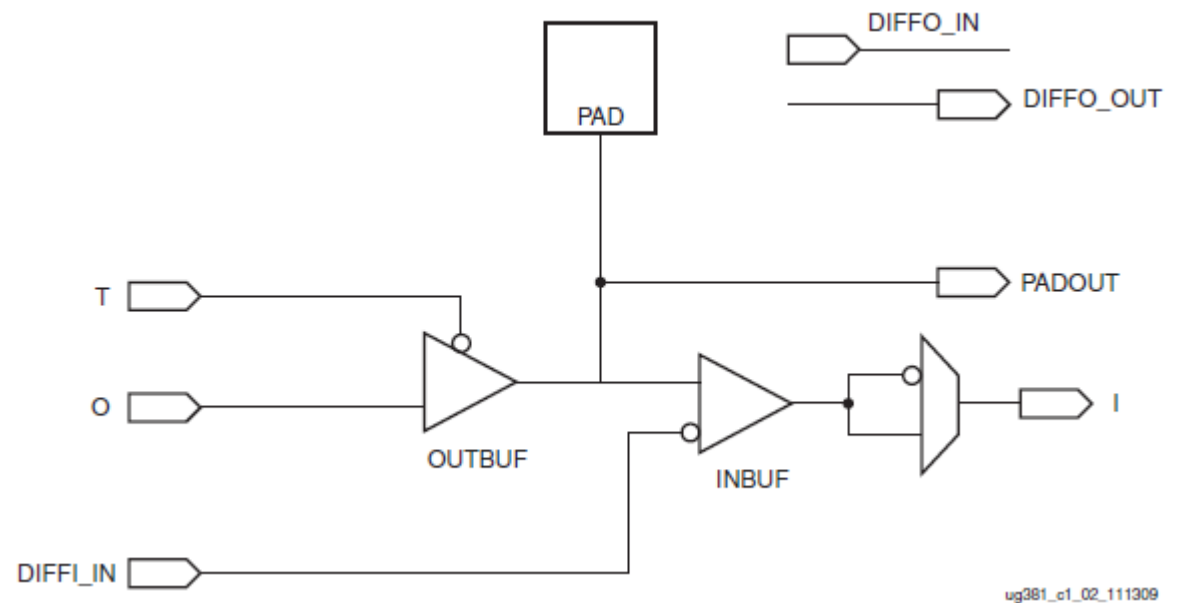
- LVTTTL 3.3V
- LVCMOS 2.5V / 1.8V / 1.5V / 1.2V
- PCI, I2C, SMBUS, SDIO
- HSTL, SSTL

Różnicowe:

- LVDS 3.3V / 2.5V, BLVDS, LVPECL
- display: DP, RSDS, TMDS, PPDS



ug381_c1_01_041709

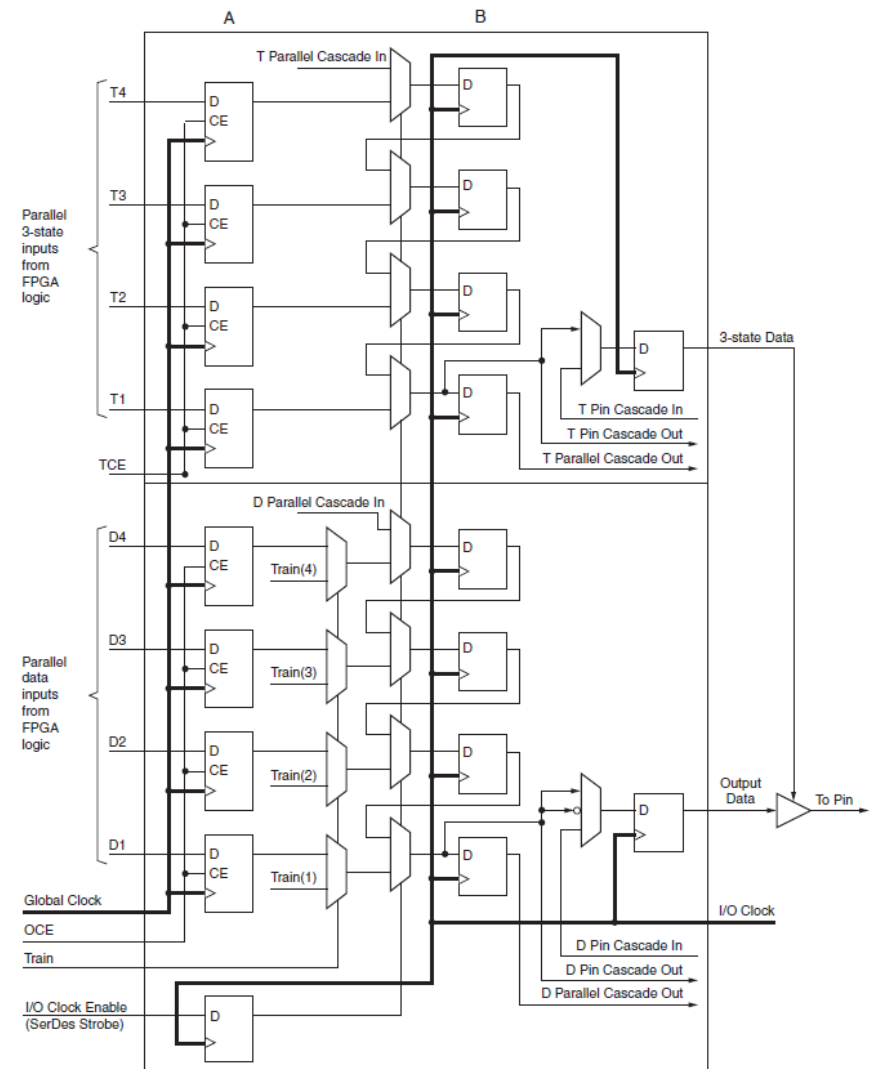
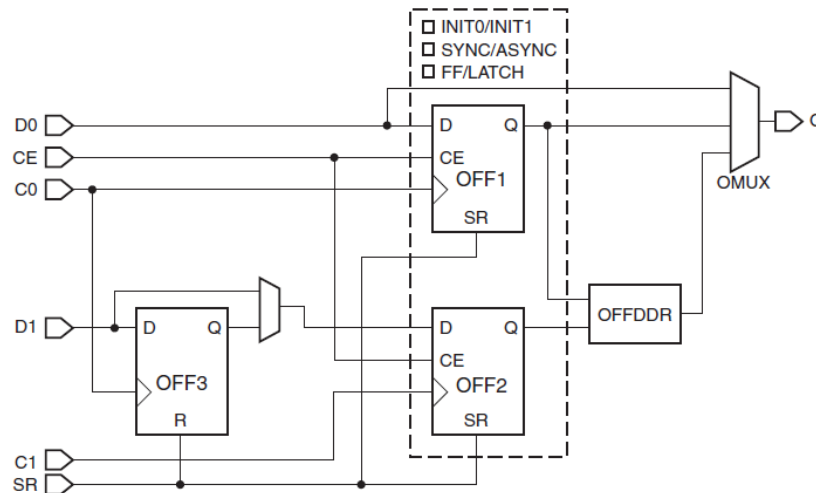


ug381_c1_02_111309

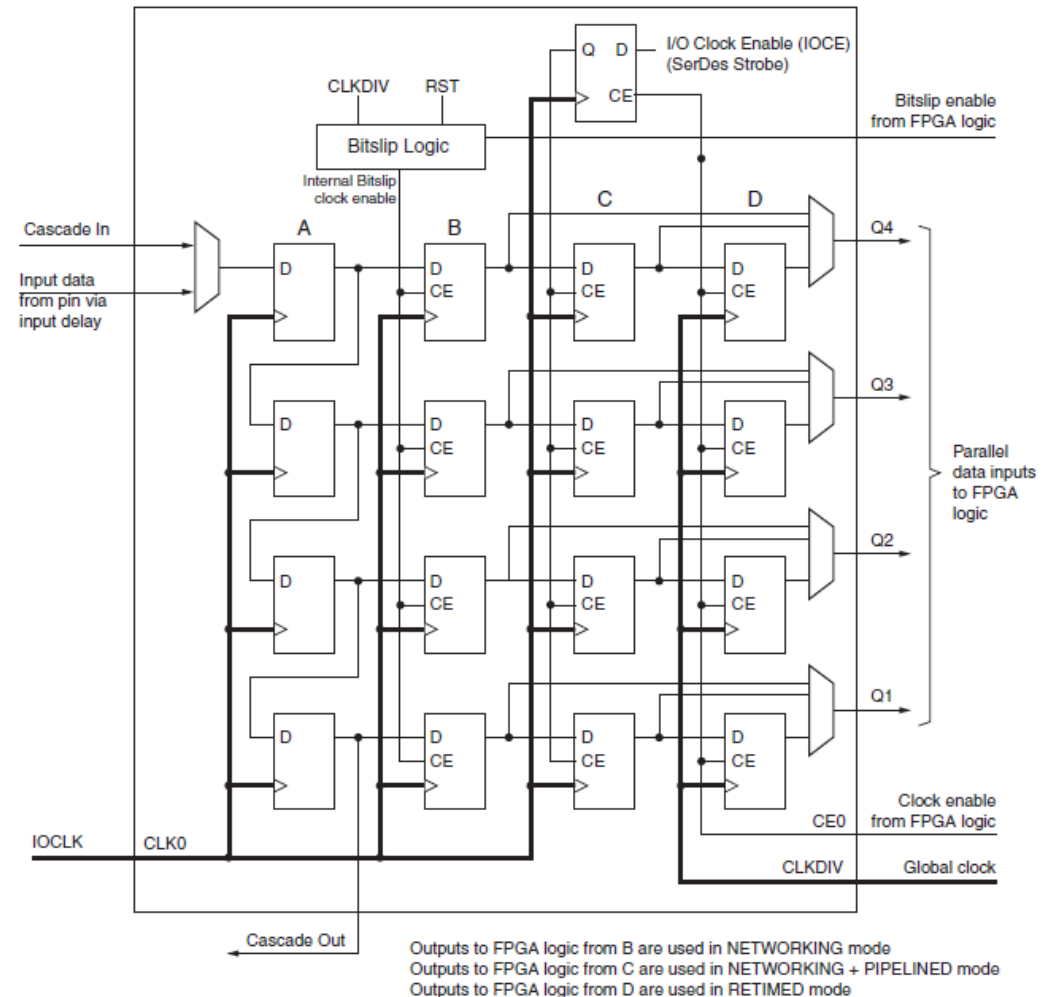
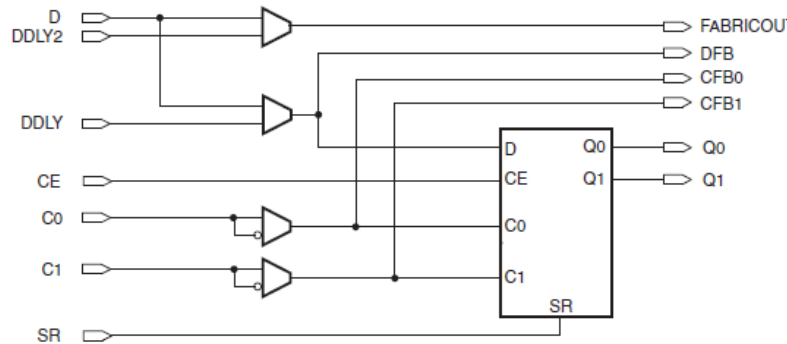
Programowalne:

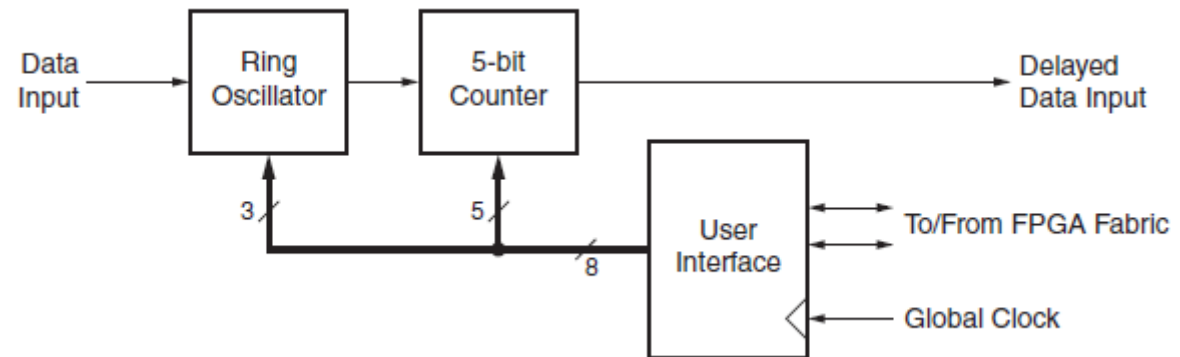
- pull-up / pull-down
- weak-keeper 🖱️
- DCI (Digital Controlled Impedance)
- Output Drive Strength (2...24mA)

- SDR / DDR
- OFF3 – data alignment
- serializacja 2..8 bitów (5..8 – kaskada)
- niezależna ścieżka Tri-State
- training pattern

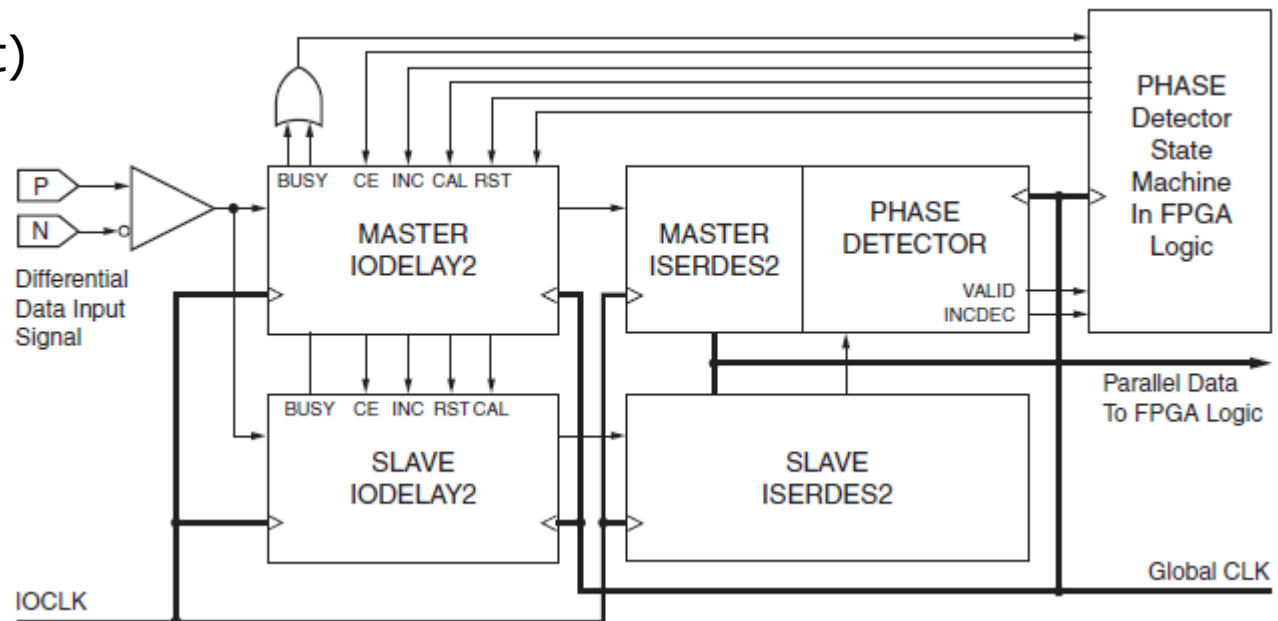


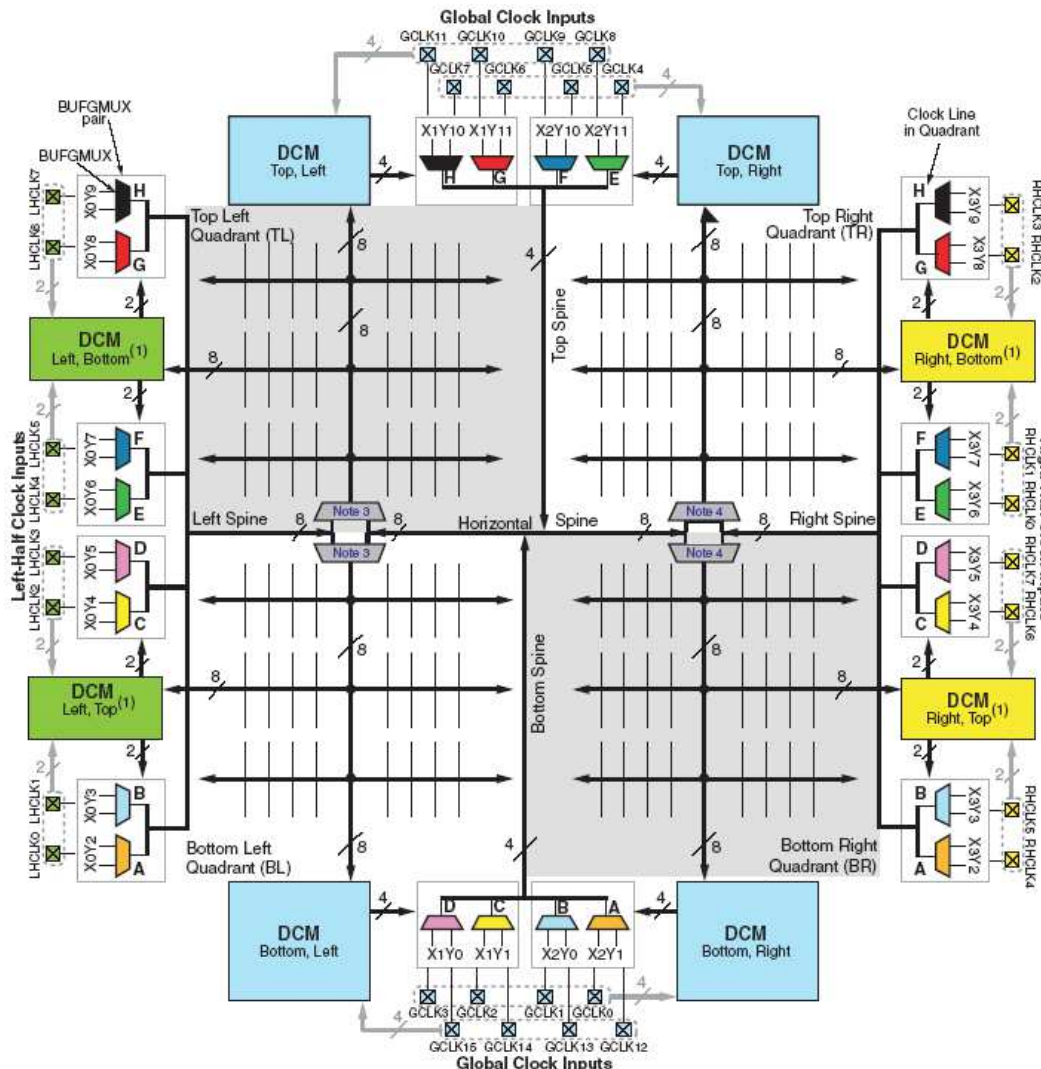
- SDR / DDR
- deserializacja 2..8 bitów (5..8 – kaskada)
- bit-slip
- 3 stopnie synchronizacji



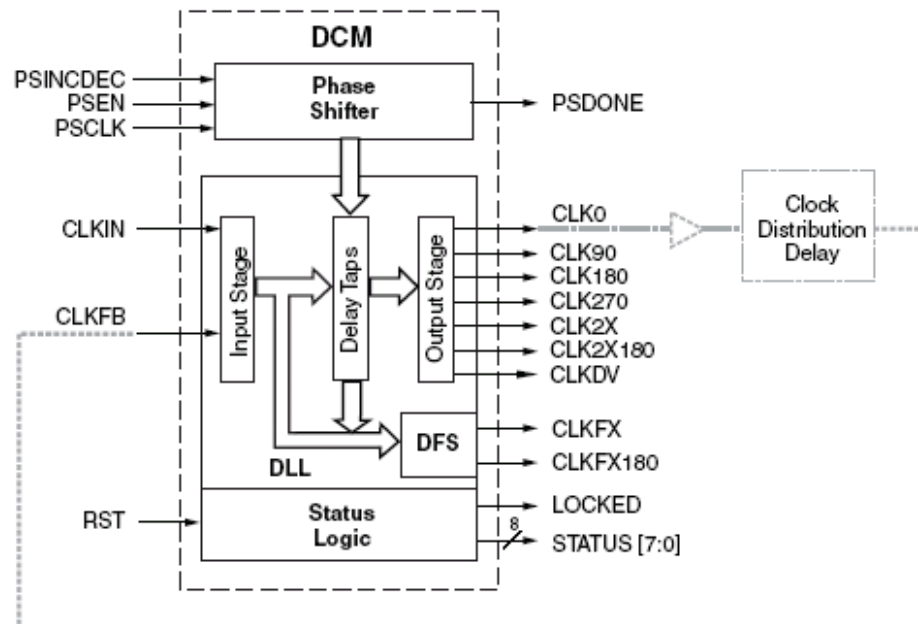
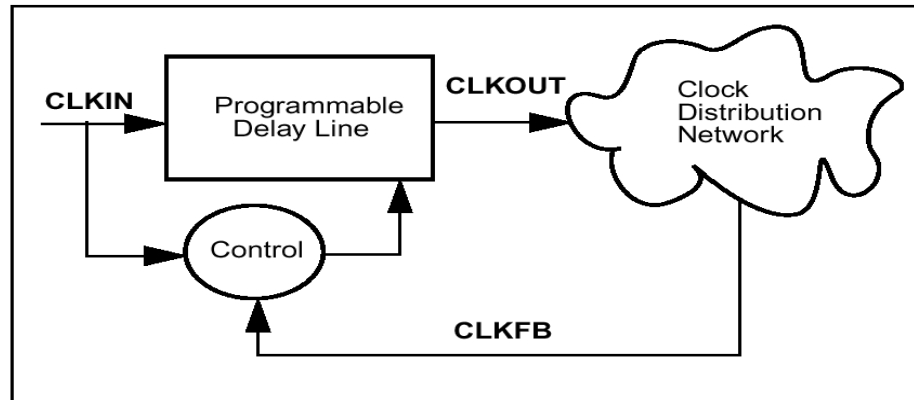


- 256 taps (max 1 bit)
- master/slave





- 16 wejść zegarów globalnych GCLK
- po 8 wejść zegarów lokalnych LH/RHCLK
- 2...8 układów DCM (*Digital Clock Manager*)
- dystrybucja kwadrantowa



Bloki DCM:

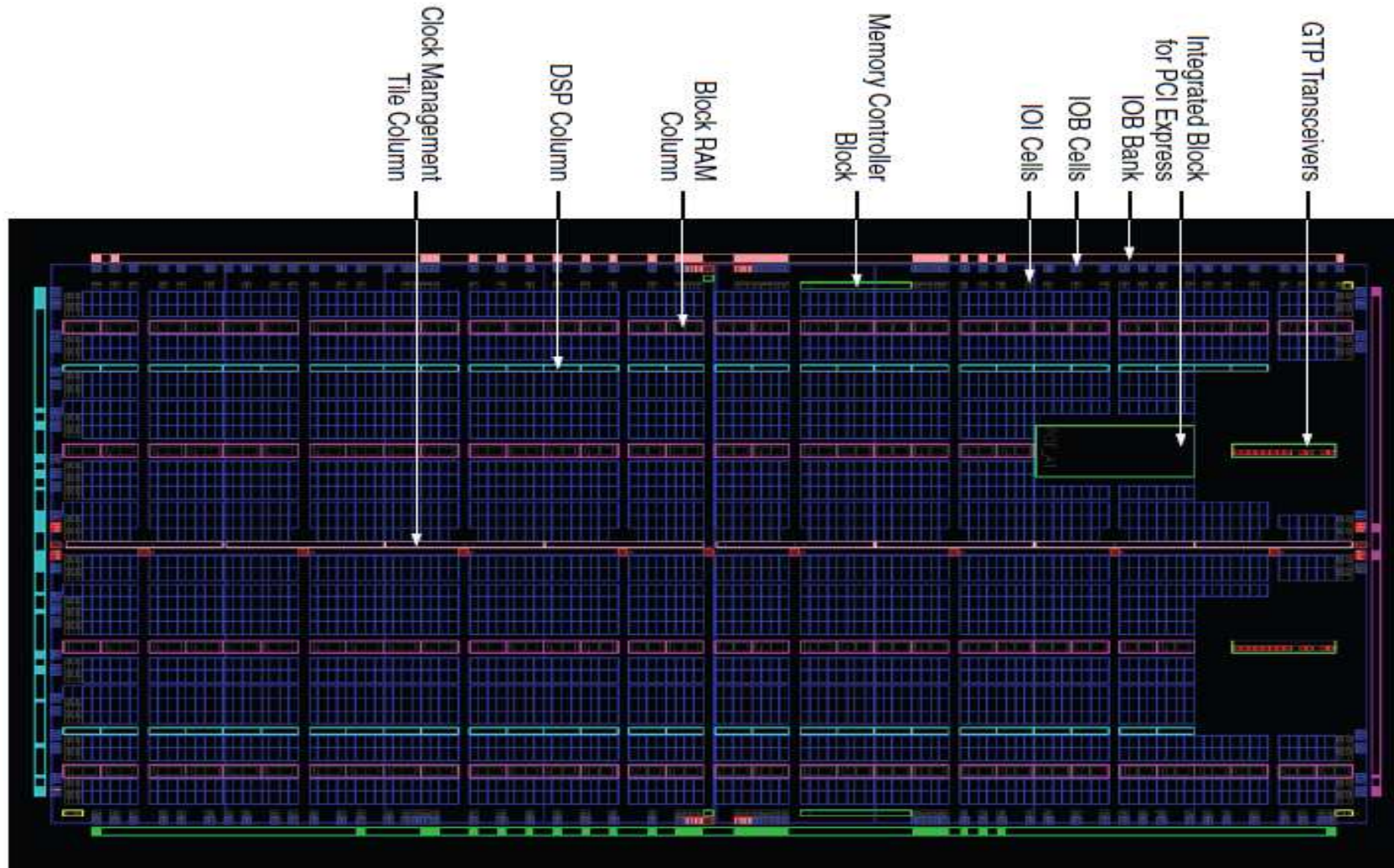
- **DLL** (Delay Locked Loop)
- **DFS** (Digital Frequency Synthesizer)
- **PS** (Phase Shifter)
- **Status Logic**

Fukcje DCM:

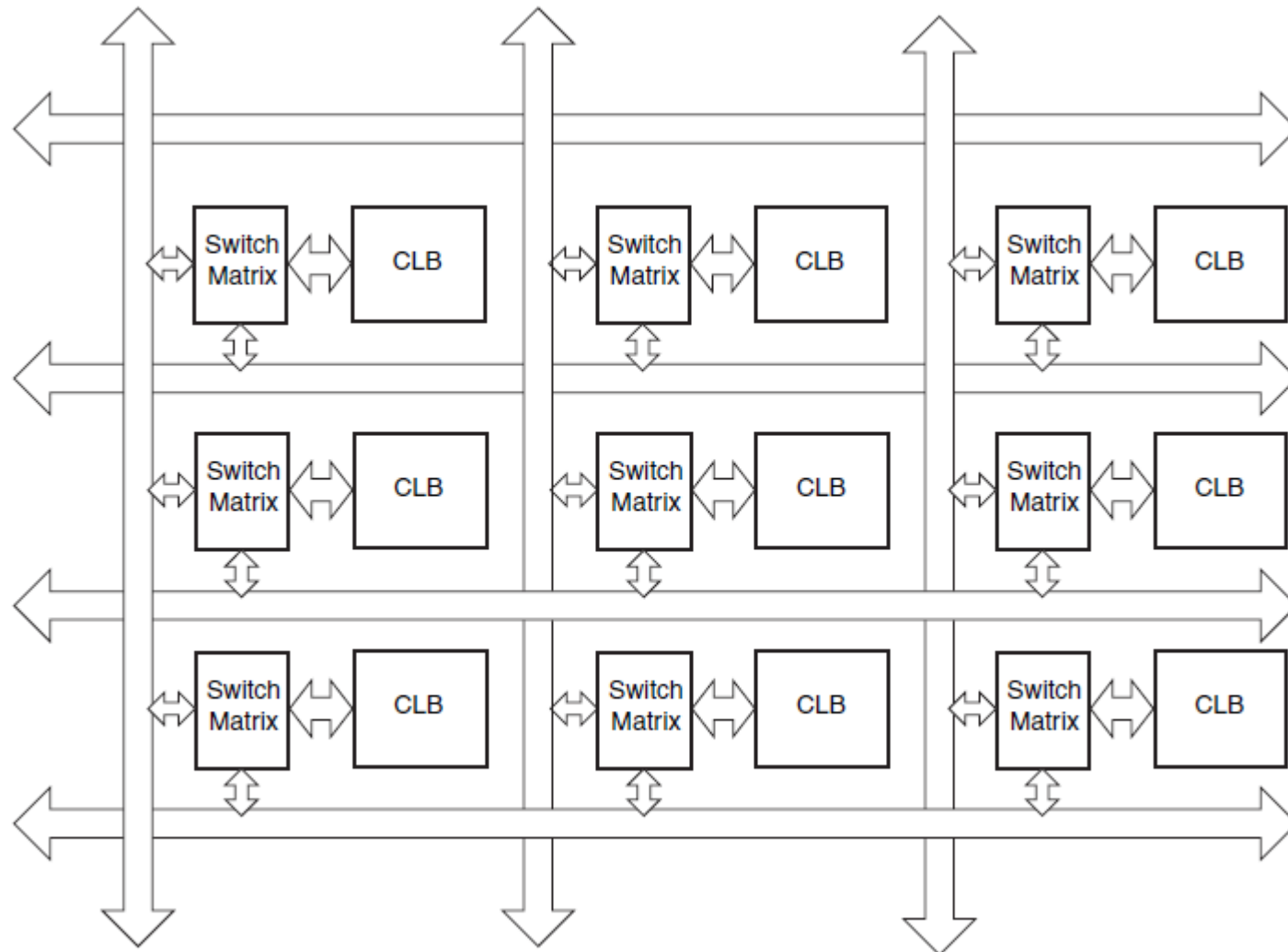
- **eliminacja różnic fazy**
- **przesuwanie fazy**
- **mnożenie / dzielenie częstotliwości zegara**
- **korekcja współczynnika wypełnienia**

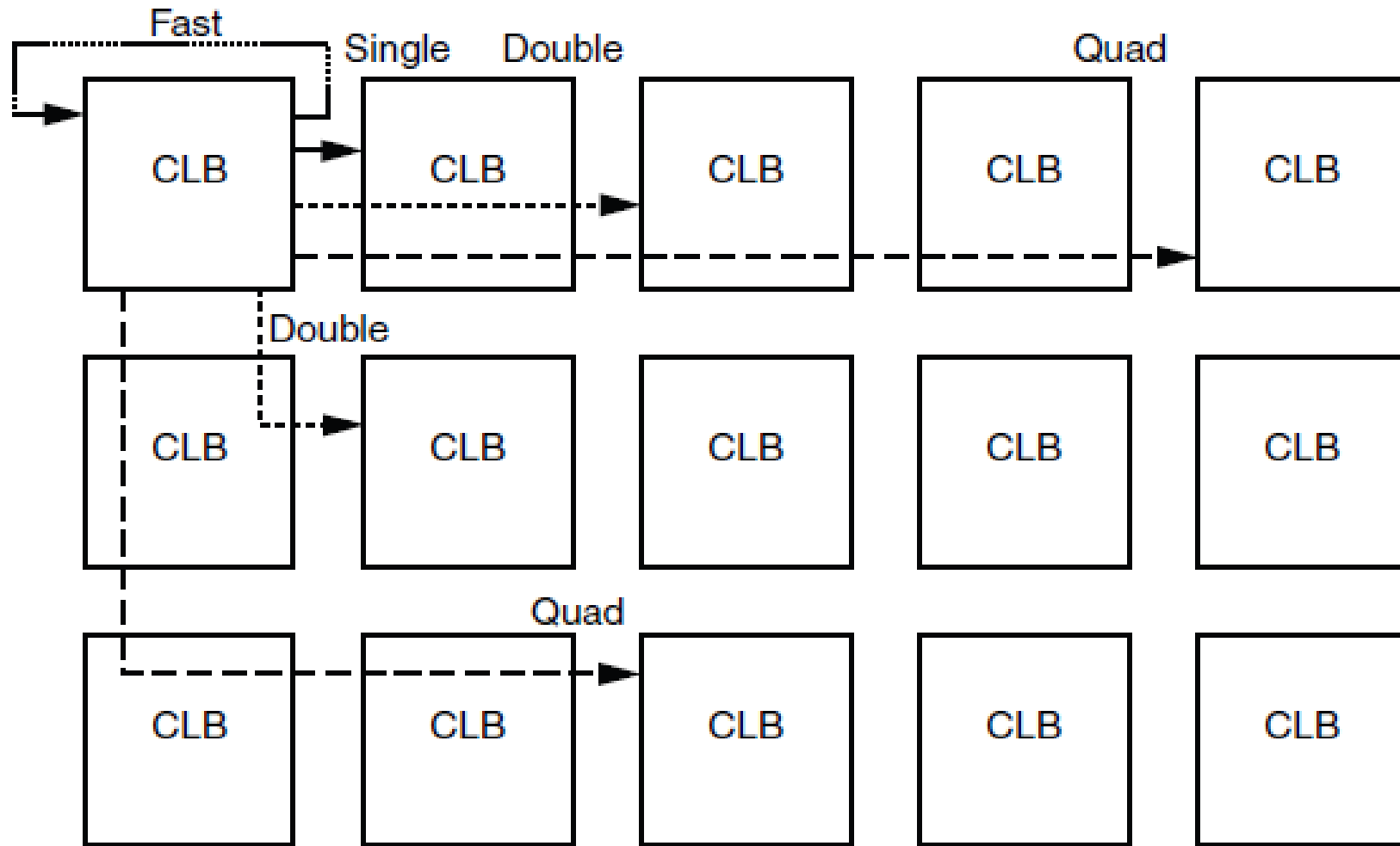
- DLL: $F_{in} \times 2$
- DLL: $F_{in} / 1.5, 2, 2.5...7.5, 8...16$
- DLL: $F_{in} \gg 0^\circ / 90^\circ / 180^\circ / 270^\circ$
- DFS: $F_{in} \times M/D$; $M=2...32$, $D=1..32$

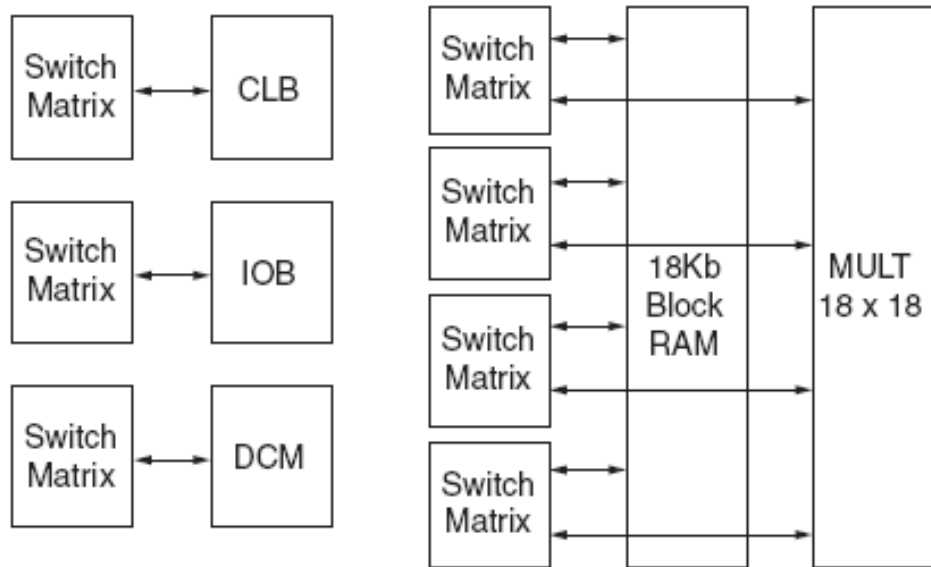
Xilinx Spartan-6 *Floorplan*



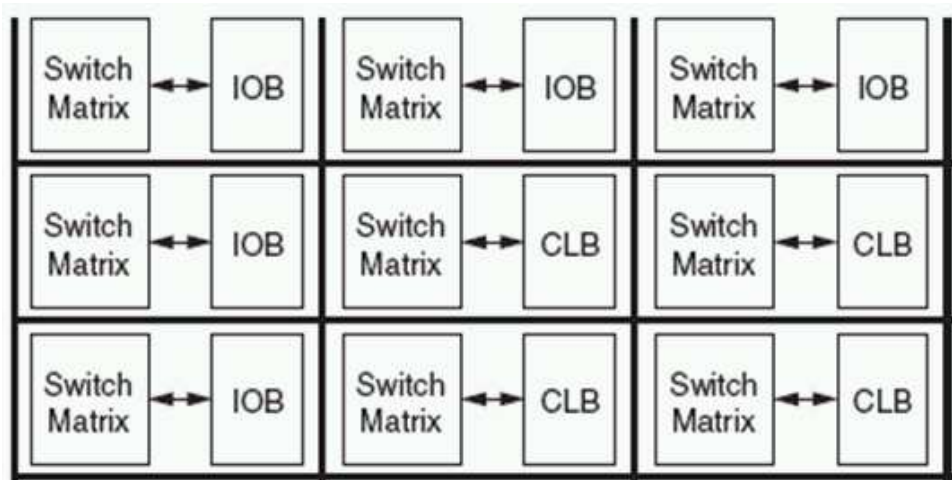
Xilinx Spartan-6 Zasoby połączeniowe





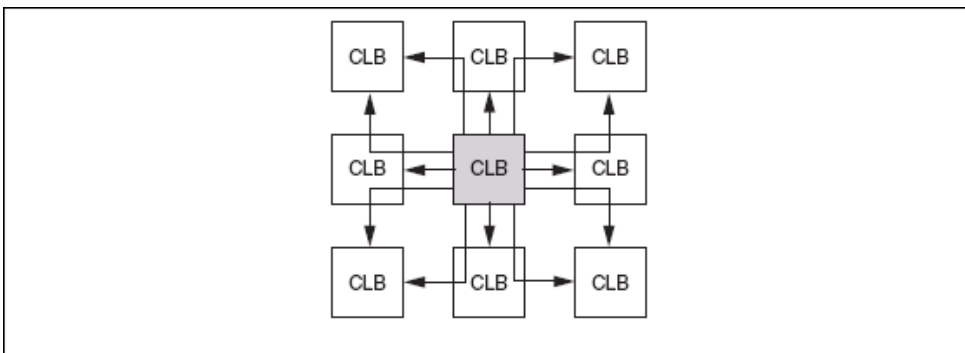
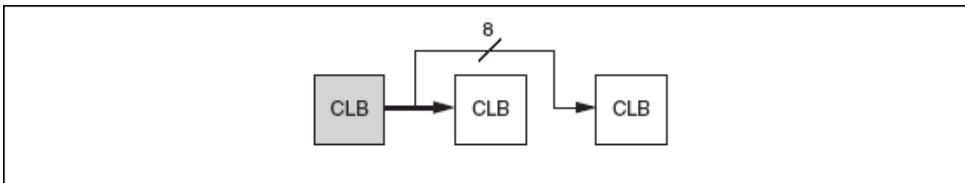
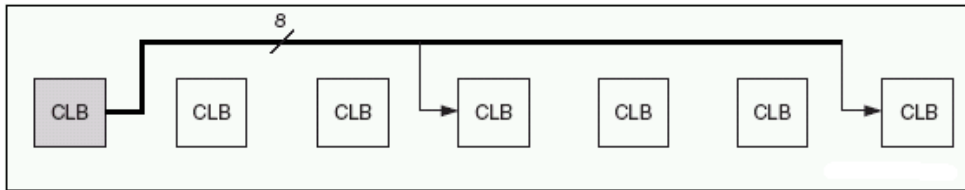
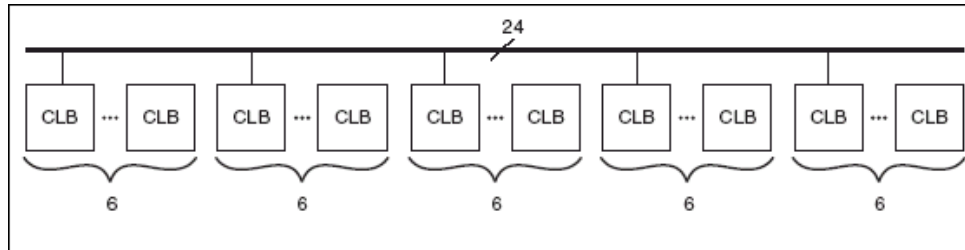


Interconnect Tile:
Switch Matrix podłączona
do elementu funkcyjnego
(CLB, IOB, DCM, BRAM, MULT)



Połączenia:

- ***long lines***
- ***hex lines***
- ***double lines***
- ***direct lines***



- 24 linie pionowe i poziome na każdy wiersz i kolumnę,
- rozciągnięte przez cały układ
- podłączone co 6 Switch Matrix

- 8 linii *hex* w 4 kierunkach
- sterowanie tylko na początku
- odbiór w połowie i na końcu
- podłączone co 3 Switch Matrix

- 8 linii *double* w 4 kierunkach
- sterowanie tylko na początku
- odbiór w połowie i na końcu

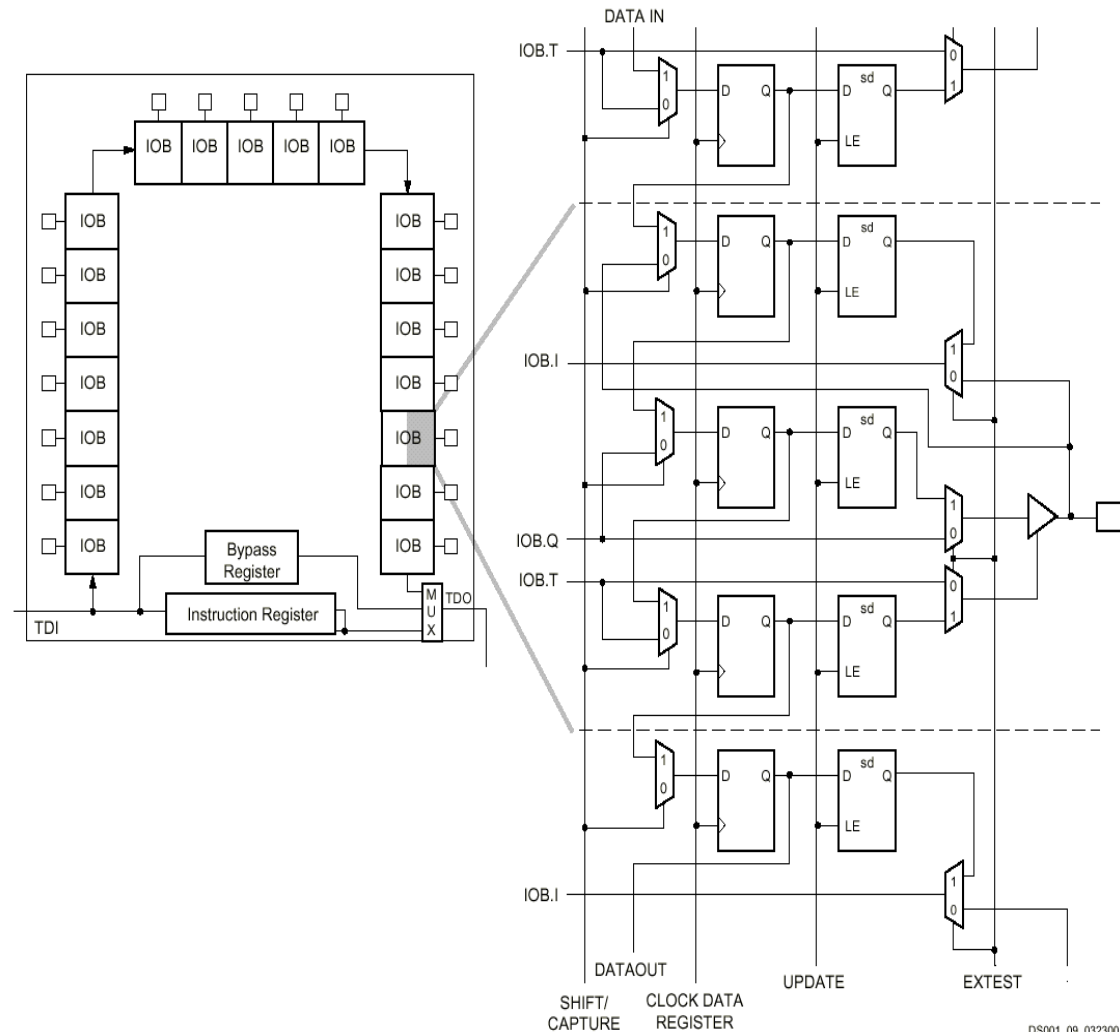
- linie *direct* w 8 kierunkach
- przekazują sygnały z/do w/w zasobów

Tryby konfiguracji:

- **Slave Serial**
- **Master Serial**
- **Slave Parallel
(SelectMAP)**
- **Boundary Scan
(JTAG)**

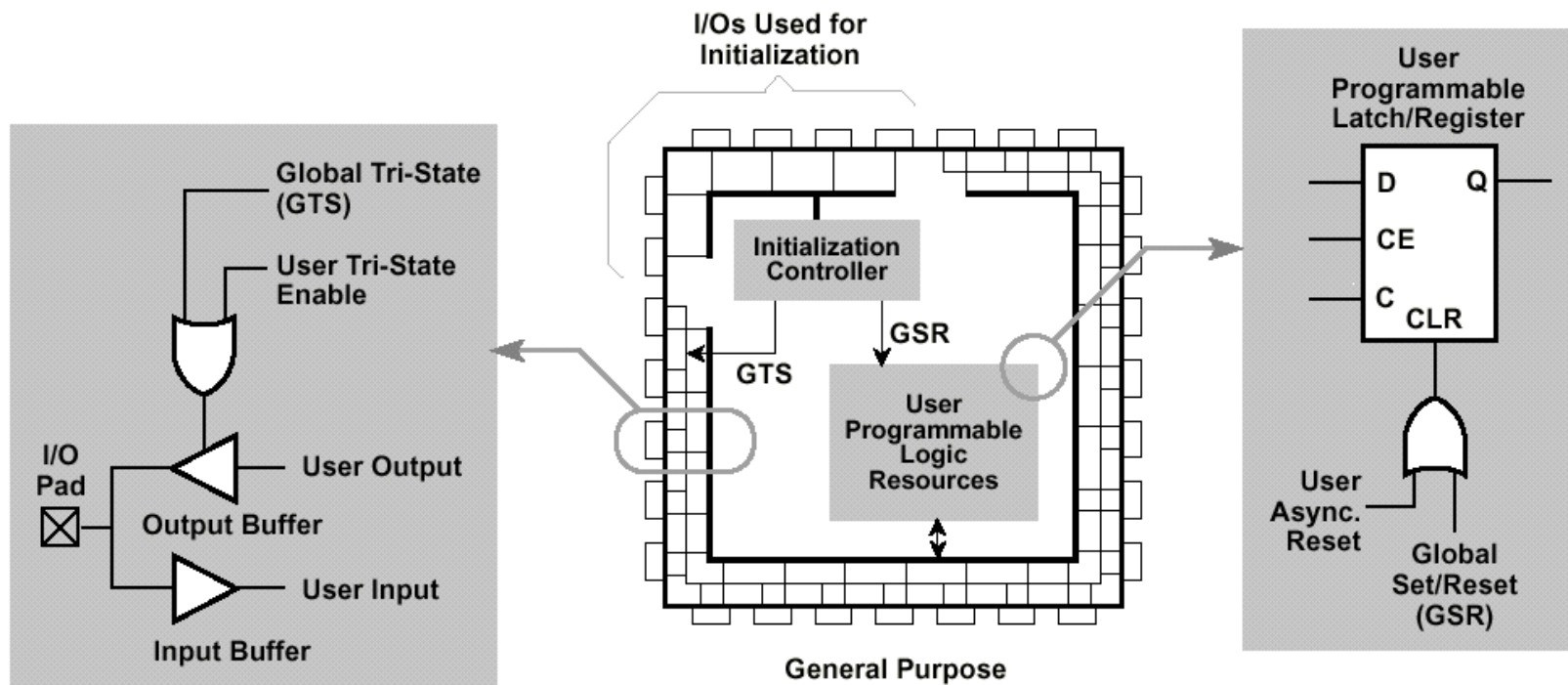
ReadBack:

weryfikacja pamięci
konfiguracji oraz
stanów przerzutników
i zawartości pamięci
(*debug*)

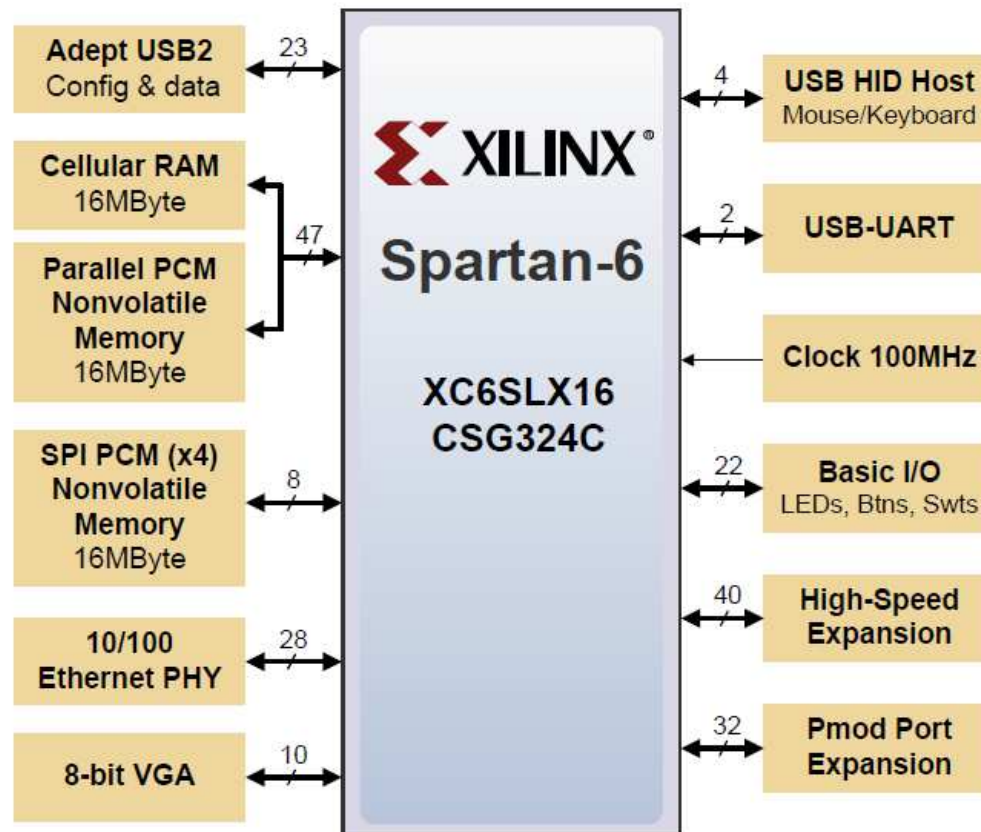


Xilinx Spartan-6 Sygnały globalne: GSR i GTS

- **GSR – Global Set/Reset**
- **GTS – Global Tri-State**

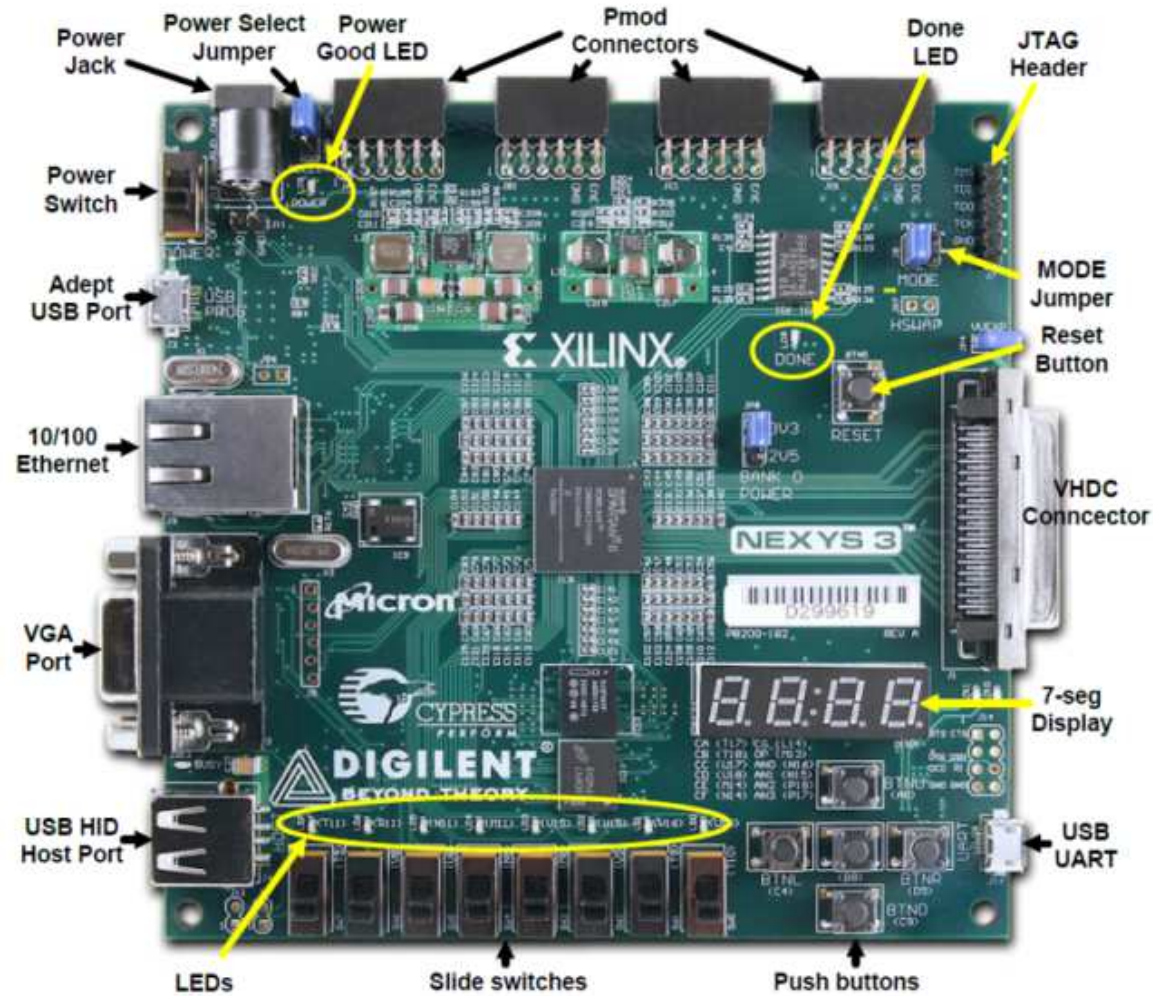


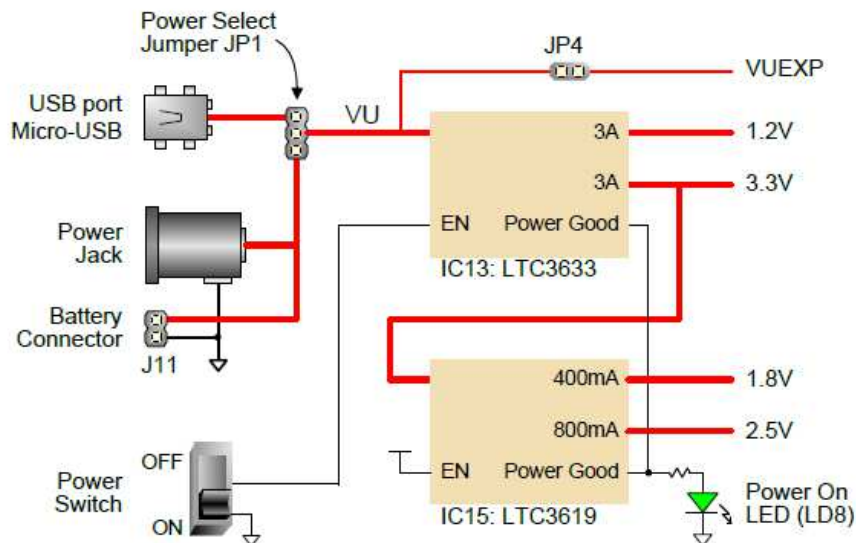
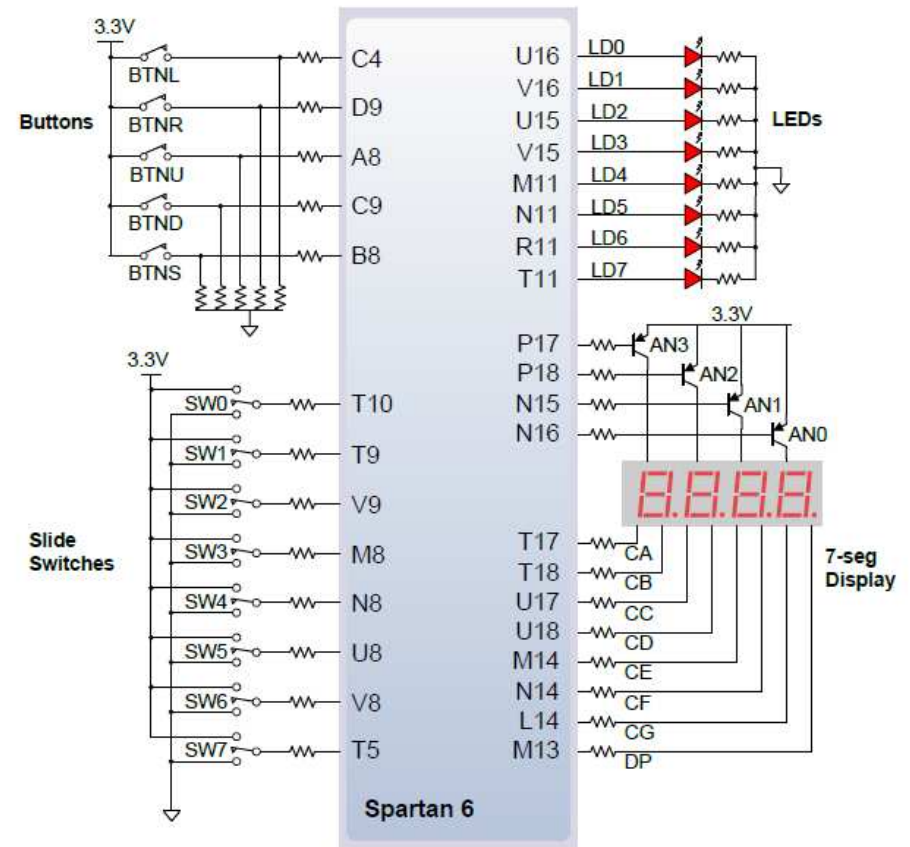
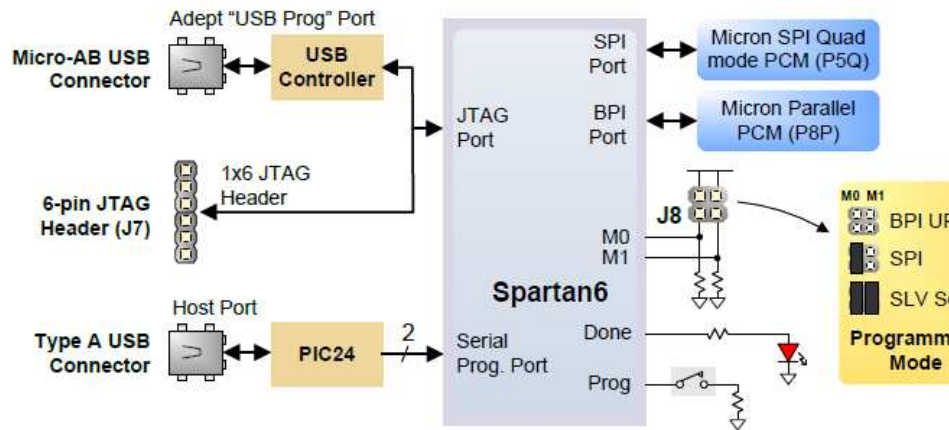
X8352

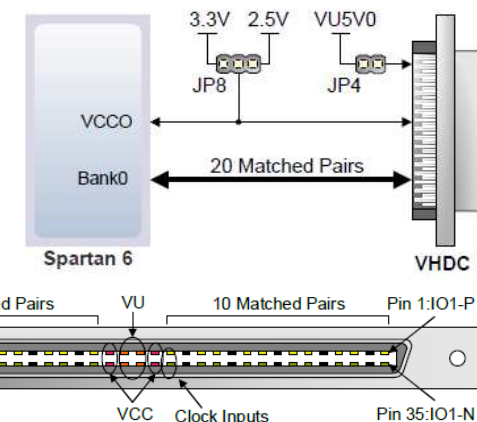
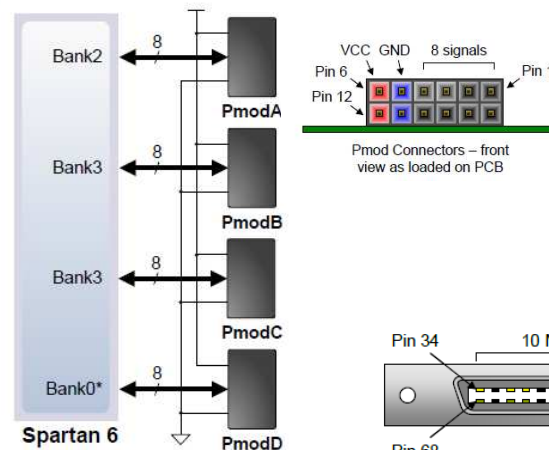
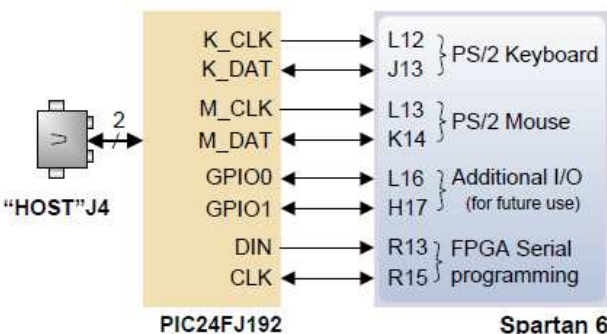
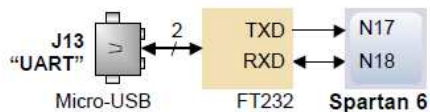
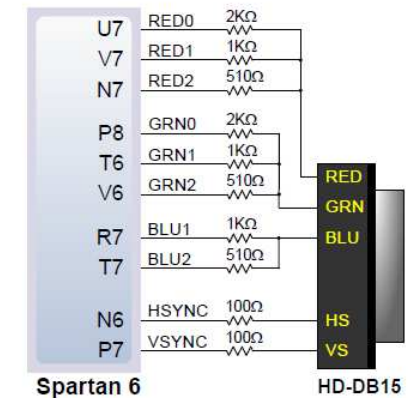
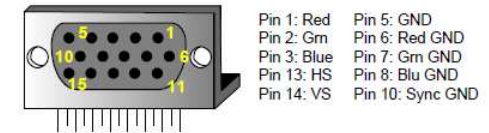
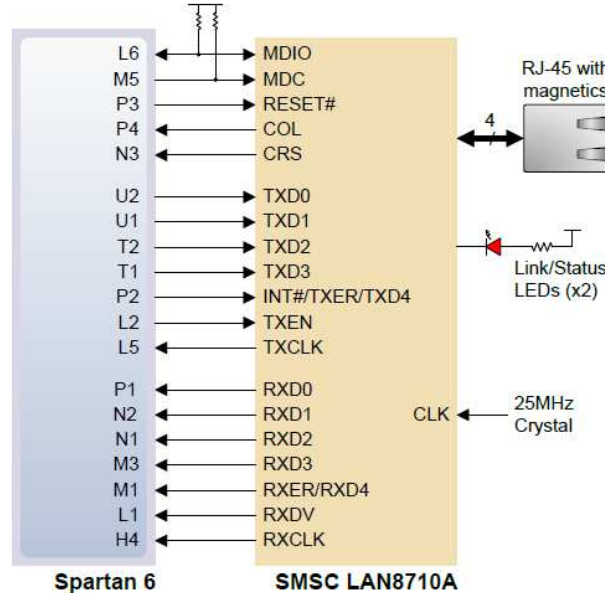
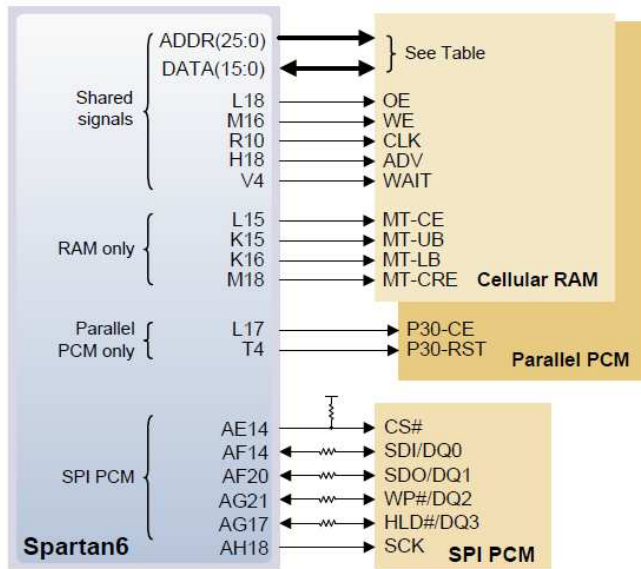


Układ XC6LX16-CSG324C:

- **14,579 Logic Cells**
= 2,278 Slices
- **18,224 przerzutników**
- **232 sygnały dla użytkownika**
w 4 bankach
- **136Kb pamięci rozproszonej**
- **576Kb pamięci blokowej**
w 32 blokach
- **32 bloki DSP48A1**
- **2 bloki CMT**
- **2 bloki MCB**







Ciąg dalszy
nastąpi...

